

الجمهورية الجزائرية الديمقراطية الشعبية
وزارة التعليم العالي و البحث العلمي

جامعة Hassiba Benbouali – Chlef

Université Hassiba Benbouali – Chlef

كلية العلوم و علوم الهندسة

Faculté des Sciences et Sciences de l'Ingénieur

Département d'Electronique



MEMOIRE

Présenté en vue de l'obtention du diplôme de

MAGISTER

En Electronique

Option : Nanotechnologie

Par :

M^r : BENNABI Maamar

THEME :

ETUDE ET SIMULATION D'UN NANO-MOSFET DOUBLE GRILLE

Soutenu le : 03/06/2009

Devant le jury :

<u>President :</u>	Prof. B. BELMADANI	Prof.	Univ. Hassiba Benbouali- Chlef
<u>Encadreur :</u>	Dr. A. ALI BENAMARA	M.C.A	Univ. Hassiba Benbouali- Chlef
<u>Examineurs :</u>	Prof. A. AISSAT	Prof. H	Univ. Saad Dahleb- Blida
	Prof. M. BENAROUS	Prof.	Univ. Hassiba Benbouali- Chlef
	M ^r . M. BOURAMLI	M.A.A	Univ. Hassiba Benbouali- Chlef

2008/2009

Remerciements

Je tiens à remercier Monsieur **Aek. ALI BENAMARA**, maître de conférences A à l'U.H.B Chelf. Je lui exprime toute ma reconnaissance pour m'avoir confié ce sujet, pour son encouragement constant, sa compréhension, et les précieux conseils qu'il n'a cessé de me prodiguer tout au long de ce travail.

J'adresse mes plus vifs remerciements à Monsieur **B. BELMADANI**, professeur à l'U.H.B Chelf, pour l'honneur qu'il m'a fait en acceptant de présider le jury.

Je remercie, également et sincèrement à Monsieur **Aek. AISSAT**, professeur habilité en électronique à l'U.S.D Blida, pour l'intérêt qu'il a bien voulu porter à ce travail en acceptant de le juger.

Je remercie Monsieur **M. BENAROUS**, professeur à l'U.H.B Chelf, pour avoir accepté d'examiner ce travail.

Je remercie Monsieur **M. BOURAMLI**, maître assistant A à l'U.H.B Chelf, d'avoir accepté de juger ce modeste travail.

Enfin, je remercie tous ceux qui ont contribué de près ou de loin au bon déroulement de ce travail.

Dédicace

Je dédie ce modeste travail à :

- *Mes parents*
- *Mes frères et mes soeurs*
- *Toute ma famille*
- *Tous mes collègues*

SOMMAIRE

Symboles	i
Abréviations	iii
<i>Introduction générale</i>	1
<u>Chapitre I : <i>Le MOSFET à l'échelle nanométrique: limites et solutions à la miniaturisation</i></u>	
I-1- Introduction.....	4
I-2- Miniaturisation des MOSFETs	4
I-2-1- Evolution de la technologie CMOS	4
I-2-2- Pourquoi réduire la taille des transistors ?.....	6
I-3- Structure et principe de fonctionnement du MOSFET	7
I-3-1- Structure du transistor MOS.....	7
I-3-2- Principe de fonctionnement du transistor MOS.....	8
I-4- Les paramètres d'un nano-MOSFET.....	9
I-5- Les régimes de fonctionnement de la structure MOS.....	10
I-5-1- Régime d'accumulation.....	11
I-5-2- Régime de désertion ou déplétion.....	11
I-5-3- Régime de faible inversion.....	12
I-5-4- Régime d'inversion forte.....	12
I-6- Technologie de fabrication	14
I-6-1- Technologies bulk et SOI.....	14
I-6-2- Technologie nanométrique.....	14
I-6-2-1- Nano-lithographie.....	14
I-6-2-2- Les microscopies en champ proche, nouvel outil de nano-lithographie ?.....	16
I-7- Effets de la miniaturisation et les solutions apportées à certains effets indésirables	16
I-7-1- Problèmes liés aux faibles épaisseurs d'oxyde.....	17

I-7-2- La déplétion de grille.....	18
I-7-3- Problèmes liés au dopage.....	19
I-7-4- Les effets canaux courts.....	19
I-7-4-1- Le partage de charge de déplétion (CS).....	19
I-7-4-2- L'abaissement de la barrière de potentiel induit par le drain (DIBL).....	21
I-7-4-3- Solutions pour remédier aux effets de canaux courts.....	22
I-8- Impact du canal nanométrique sur le transport électronique.....	23
I-9- La technologie MOSFET double grille	25
I-10- Phénomènes quantiques dans le canal.....	26
I-10-1- Confinement quantique.....	26
I-10-2- Effet tunnel.....	27
I-10-2-1- Effet tunnel à travers l'oxyde de grille.....	27
I-10-2-2- Effet tunnel entre les zones de source et de drain.....	28
I-10-3- Interférences quantiques.....	28
I-11- Quel avenir pour le transistor ?.....	28
I-12- Conclusion.....	30

Chapitre II : Transport électronique dans un nano-MOSFET

II-1- Introduction.....	31
II-2- Transport électronique dans un nano-MOSFET.....	31
II-3- Transport électronique classique.....	32
II-3-1- Notion de fonction de distribution.....	32
II-3-2- Equation de transport de Boltzmann (BTE).....	33
II-3-2-1- Intégrale de collision.....	33
II-3-2-2- Domaine de validité.....	34
II-4- Formalisme des fonctions de Green hors équilibre (NEGF).....	34
II-4-1- Flux de courant à travers un niveau d'énergie discret	35
II-4-2- Flux de courant à travers un niveau d'énergie élargi	39
II-4-3- Généralisation à plusieurs niveaux d'énergies (équation NEGF).....	40
II-4-3-1- Définition de la fonction de Green.....	40

II-4-3-2- Calcul du courant à l'aide du formalisme des fonctions de Green hors équilibre.....	41
II-5- Conclusion	43

Chapitre III : Modélisation du transport quantique dans un nano-MOSFET double-grille

III-1- Introduction.....	44
III-2- Présentation de la structure.....	45
III-3- Effet du confinement quantique.....	45
III-4- Modélisation du transport balistique quantique.....	46
II-4-1- Résolution de l'équation de Schrödinger 2 D.....	46
III-4-1-1- Approche de l'espace des modes.....	47
III-4-1-2- Avantages de l'approche d'espace des modes.....	47
III-4-1-3- Calcul de la représentation matricielle de l'Hamiltonien (H)	49
III-5- Calcul des fonctions de Green et self-énergies.....	50
III-5-1- Calcul des fonctions de Green.....	50
III-5-2- Self énergies.....	51
III-6- Calcul de la densité d'électrons	52
III-6-1- Fonctions des self-énergies.....	52
III-6-2- Fonctions spectrales.....	53
III-7- Auto-cohérence.....	54
III-8- Résolution de l'équation de Poisson	54
III-8-1- Résolution numérique.....	55
III-8-1-1- Aux nœuds internes	55
III-8-1-2- Conditions aux limites.....	55
III-9- Calcul du courant de drain.....	56
III-10- La boucle d'auto-cohérence	57
III-11- Conclusion.....	59

Chapitre IV : Résultats et discussions

IV-1- Introduction.....	60
-------------------------	----

IV-2- Présentation du dispositif simulé.....	60
IV-3- Contexte et objectifs.....	61
IV-4- Simulation et discussion des résultats.....	61
IV-4-1- Impact du courant tunnel sur le nano-MOSFET.....	61
IV-4-1-1- Effet de la tension de grille sur l'énergie potentielle du canal.	61
IV-4-1-2- Effet de la tension de grille sur la densité d'électrons dans le canal.....	62
IV-4-1-3- Effet de la température.....	63
IV-4-1-4- Effet de la longueur de grille	65
IV-4-2- Influence du confinement quantique dans le canal.....	66
IV-5- Limite d'intégration du nano-MOSFET double grille	67
IV-5-1- Évolution du courant I_{OFF} en fonction de la longueur de grille.....	67
IV-5-2- Évolution de la pente sous le seuil en fonction de la longueur de grille...	68
IV-6- Optimisation des performances électriques	69
IV-6-1- Effet du travail de sortie sur l'énergie potentielle du canal et le courant de drain	70
IV-6-2- L'évolution du courant I_{OFF} et de la tension de seuil V_{TH} en fonction du travail de sortie du métal de grille.....	71
IV-7- Conclusion.....	72
 Conclusion générale et perspectives.....	 73
 Références bibliographiques.....	 75

Listes des symboles et notations

A_S et A_D : Fonctions spectrales associées à la source et au drain

C_{DEP} : Capacité de désertion entre la grille et le substrat

C_{OX} : Capacité d'oxyde de grille

E_C : Energie de la bande de conduction

E_F : Energie du niveau de Fermi

$E_i(x)$: Energie de la sous-bande i à la tranche x

E_l : Energie longitudinale

E_V : Energie de la bande de valence

E_x : Champ électrique local dans la direction transverse au transport

ϵ_0 : Permittivité diélectrique du vide

ϵ_{Si} : Permittivité diélectrique du silicium, $\epsilon_{Si} = 11,8 \cdot \epsilon_0$

ϵ_{SiO_2} : Permittivité diélectrique de l'oxyde de silicium, $\epsilon_{SiO_2} = 3,9 \cdot \epsilon_0$.

\vec{F} : Force extérieure appliquée

$f(\vec{r}, \vec{p}, t)$: Fonction de distribution

Φ_M : Travail de sortie du métal de grille

g_{DS} : La conductance du canal.

g_m : Transconductance de sortie.

h : Constante de Planck

H : Hamiltonien

\hbar : Constante de Planck reduite.

I_{DS} : Courant circulant entre la source et le drain

I_{DSsat} : Courant de drain de saturation

I_{OFF} : Courant de drain I_{DS} à $V_{DS} = V_{DD}$ et $V_{GS} = 0$

I_{ON} : Courant de drain I_{DS} à $V_{DS} = V_{GS} = V_{DD}$

\vec{k} : Vecteur d'onde

\vec{k}' : Vecteur d'onde après interaction

K_B : Constante de Boltzmann

L_G : Longueur de grille

m_0 : Masse de l'électron libre ($9,109 \cdot 10^{-31}$ kg)

m_l : Masse effective longitudinale ($0,916 \cdot m_0$ pour les électrons dans le silicium)

m_t : Masse effective transverse ($0,191 \cdot m_0$ pour les électrons dans le silicium)

N_A : Concentration de dopants de type accepteurs d'électrons

N_D : Concentration de dopants de type donneurs d'électrons

$N_{D/S}$: Dopage de source/ drain (n+ type)

n_i : Concentration intrinsèque de porteurs libres

q : Charge élémentaire de l'électron ($1,602 \cdot 10^{-19}$ C)

S : Pente sous le seuil.

$s(\vec{k}, \vec{k}')$: Densité de probabilité qu'une interaction modifie le vecteur onde \vec{k} en \vec{k}'

T : Température absolue

T_{OX} : Epaisseur physique d'oxyde de grille

T_{Si} : Epaisseur de la zone active de silicium.

T_{SD} : Coefficient de transmission de la source au drain

$t_{x,i}$: Energie de couplage

V_{DD} : Tension nominale d'alimentation

V_{DS} : Tension entre le drain et la source

V_{DSsat} : Tension entre le drain et la source à partir de laquelle a lieu la saturation du courant

V_{GS} : Tension entre la grille et la source

V_T : Tension de seuil - Threshold voltage

V_{FB} : Tension de bande plate (« flat band » en anglais)

$V(x,z)$: Potentiel électrostatique

W : Largeur du transistor

x : Direction selon l'axe x source-drain

y : Direction selon l'axe y de la profondeur de transistor

z : Direction selon l'axe z, direction perpendiculaire au transport

λ : Longueur d'onde du rayonnement

μ_{eff} : Mobilité effective des porteurs

μ_D : Niveau de Fermi pour le drain

μ_S : Niveau de Fermi pour la source

Σ_S, Σ_D : La self-énergie de la source et du drain

ψ_i : Fonction d'onde de la sous-bande i

Listes des abréviations et Significations

AFM : Microscope à force atomique

DG, DGMOS : « Double Gate MOSFET » : Transistor MOS à double grille

DIBL : « Drain Induced Barrier Lowering » : Effets de l'abaissement de la barrière de potentiel du canal dû à la polarisation du drain

ITRS : « International Technology Roadmap of Semiconductor » : feuille de route internationale des semi-conducteurs.

LPM : Libre parcours moyen des porteurs

NMOS : Transistor à effet de champ MOS à canal N

MOS : Métal/Oxyde/Semi-conducteur

MOSFET : « MOS Field Effect Transistor » : transistor à effet de champ MOS

PMOS : Transistor à effet de champ MOS à canal P

SCE : « Short-Channel Effects » : Effets des canaux courts

SOI : « Silicon On Insulator » : silicium sur isolant

SNOM : La microscopie en champ proche optique

STM : Microscope à effet tunnel

TEM : « Transmission Electron Microscopy » : Microscopie à transmission électronique.

TMOS : Transistor Métal-Oxyde-Semiconducteur

ZCE : Zone de charge d'espace

Résumé :

Le MOSFET atteint aujourd'hui des dimensions nanométriques pour lesquelles les effets quantiques ne peuvent plus être négligés, et modifient sensiblement les propriétés de transport des matériaux. Dans ce contexte, le formalisme des fonctions de Green hors-équilibre constitue une méthode pertinente pour décrire le comportement quantique des nano-transistors. Le MOSFET double-grille apparaît comme un des meilleurs candidats pour relever le défi de réduction des transistors. L'une des particularités de ce composant est sa très bonne immunité face aux effets canaux courts. La double-grille permet de mieux contrôler le potentiel du canal et de résister au courant tunnel source-drain.

Ce travail porte sur la simulation d'un nano-MOSFET double grille et détermine l'impact des effets quantiques sur cette architecture, à l'aide du formalisme des fonctions de Green hors équilibre. L'étude couvre les différents aspects des caractéristiques courant-tension de ces dispositifs, en prenant en compte les effets quantiques tels que le confinement quantique et l'effet tunnel. Les effets de la réduction de la longueur de grille, de la température ont été étudiés systématiquement pour mettre en évidence le rôle des différents phénomènes quantiques. L'ajustement du travail de sortie du métal de grille nous permet de trouver un bon compromis entre performances et vitesse de commutation du dispositif.

Mots clés : MOSFET double-grille, fonctions de Green hors équilibre, nano-MOSFET, effets quantiques, confinement quantique, effets de canal court, transport électronique.

Abstract :

Today, the MOSFET reaches nanometric dimensions for which quantum effects cannot be neglected anymore, and significantly alter the transport properties of materials. In this context, non-equilibrium Green functions is an appropriate method to describe the quantum behavior of nano-transistors. The double gate MOSFET is one of the best candidates to meet the challenge of reducing transistors. A feature of this component is its great immunity from short channel effects. The double gate can better control the potential of the channel and to against to the current tunneling source-drain.

This work focuses on the simulation of a nano-MOSFET double gate and determines the impact of quantum effects on the architecture, using the formalism of non-equilibrium Green functions. This study covers various aspects of current-voltage characteristics of these devices, taking into account the quantum effects such as quantum confinement and tunneling. The effects of reducing the length of gate, the temperature were systematically studied to clarify the role of different quantum phenomena. Adjusting the work function of the metal gate, we can find a good compromise between performance and switching speed of this device.

Key words : MOSFET double-gate, Non-equilibrium Green functions, nano-MOSFET, quantum effects, quantum confinement, short channel effects, electronic transport.

Introduction générale

Depuis les années 60, la capacité d'intégration en microélectronique suit une évolution exponentielle, avec une densité de transistors par microprocesseur doublée tous les 3 ans. Cette évolution, connue sous le nom de loi de Moore [1,2], a conduit à la fabrication de microprocesseurs de plus de 400 millions de transistors et à la réalisation de mémoires dont la densité dépasse le Gbit. L'augmentation de la densité d'intégration et l'amélioration des performances sont rendues possibles par la diminution de la taille des transistors. La grandeur caractéristique d'un transistor qui distingue une génération de transistors de la suivante est la longueur de grille L_G . Actuellement, la plus petite longueur de grille produite est de 37 nm et la réduction des dimensions demeure essentielle pour réaliser de nouvelles innovations technologiques. L'ITRS (International Technology Roadmap for Semiconductors) dont les prévisions sont établies par les principales industries des semi-conducteurs annonce une longueur de grille de 9 nm en 2016 [3.4].

La miniaturisation du MOSFET était autrefois majoritairement limitée par les procédés technologiques. Citons en particulier l'amélioration de la résolution de la photolithographie qui peut être considérée comme l'une des causes majeures des progrès de la microélectronique. La lithographie détermine les dimensions des transistors, c'est donc un des points clés du procédé de fabrication des transistors. De nos jours, bien que les limitations d'ordre technologique soient toujours et plus que jamais présentes, l'industrie microélectronique doit également faire face à des limitations d'ordre physique. En effet, les dimensions des transistors sont devenues telles que les lois de la physique dite « classique » ne sont plus suffisantes pour décrire leur fonctionnement. Des phénomènes physiques qui, pour de relativement grandes dimensions, pouvaient être considérés comme négligeables ne peuvent plus l'être à l'échelle nanométrique. Donc la simulation des transistors a donc besoin de nouvelles théories et techniques de modélisation (fonction de Green hors équilibre "NEGF ") améliorant la compréhension physique des dispositifs de taille nanométrique.

Dans le régime nanométrique, les dimensions des transistors sont de l'ordre de grandeur de la longueur d'onde des électrons participant au courant. Ceux-ci ne peuvent donc

plus être considérés comme ponctuels, il convient de prendre en compte la nature ondulatoire des porteurs qui est susceptible d'influencer de manière non négligeable le fonctionnement des nano-MOSFETs. La conséquence majeure de ce phénomène est évidente : une augmentation des pertes en courant et donc de la consommation statique, ce qui est très dommageable pour toutes les technologies actuelles dites à basse consommation comme les ordinateurs portables ou les téléphones portables. La microélectronique doit donc désormais tenir compte de ces effets susceptibles de modifier profondément les caractéristiques électriques des transistors (courants de fuite, mécanismes de transport électronique...). Précisons cependant que la microélectronique ne considère pas uniquement d'un mauvais œil ces effets quantiques. En effet, l'exploitation de leurs spécificités permet d'envisager des architectures de dispositifs innovantes.

Les effets de quantification ou effets de confinement quantique consistent en un confinement des porteurs du canal dans des puits de potentiel étroits du fait des forts dopages des dispositifs sur silicium massif ou d'épaisseurs de film de silicium très minces. Il en résulte une quantification de l'énergie de ces porteurs affectant principalement leur répartition spatiale et par conséquent le contrôle de la charge par la grille. La tension de seuil mais aussi le courant de drain s'en trouvent entre autre modifiés, ce qui justifie l'introduction de ces effets de quantification dans la partie de modélisation.

Dans le contexte actuel de la miniaturisation des MOSFETs dans le régime nanométrique, considérer les effets quantiques est devenu essentiel. Ces phénomènes sont très difficiles, voire impossibles à isoler de par les divers phénomènes de transport électronique ou les très nombreux effets parasites présents dans de telles architectures. La mise au point de modèles de simulation numérique permettant de mieux comprendre ces effets quantiques et d'évaluer leur influence sur les caractéristiques électriques des transistors est ainsi devenu un véritable enjeu dans la course à la miniaturisation. C'est dans ce contexte précis que se situe cette étude intitulée «Etude et simulation d'un nano-MOSFET double grille».

Le travail décrit dans ce mémoire se subdivise en quatre chapitres :

Dans le premier chapitre, seront exposés le principe de fonctionnement du MOSFET et la problématique actuelle de la miniaturisation des MOSFETs, encore présente dans les réalisations les plus significatives des MOSFETs conventionnels (bulk, SOI,...). Dans une seconde phase, on détaille le cas prometteur d'une structure nanométrique à double grille « le

transistor DGMOS », et on rappelle ensuite les effets quantiques et leurs conséquences sur le fonctionnement des MOSFETs.

Le chapitre 2, traite des théories du transport électronique dans le nano-MOSFET d'une part, l'approche semi-classique pour l'étude du transport électronique dans le MOSFET et d'autre part, l'approche basée sur le formalisme des fonctions de Green hors équilibre pour l'étude du transport électronique dans le nano-MOSFET.

Dans le troisième chapitre, nous appliquerons le formalisme des fonctions de Green hors équilibre (NEGF) pour l'étude du transport quantique dans un nano-MOSFET double-grille (DG MOSFET). En utilisant l'approche de l'espace des modes" (pour l'anglais "mode-space"), qui permet le traitement des effets du confinement quantique. Nous exposons par la suite la résolution de système d'équations Schrödinger-Poisson qui permet de calculer le courant balistique.

Le quatrième chapitre regroupe les résultats obtenus par la simulation et leurs interprétations, nous verrons l'évolution du courant et des charges et l'énergie potentielle de la structure en fonction des paramètres de notre structure nanométrique, afin de déduire les effets quantiques et d'évaluer les capacités et les limites d'intégration de cette architecture.

On termine ce mémoire par une conclusion générale et quelques perspectives.

Chapitre I :

Le MOSFET à l'échelle nanométrique : limites et solutions à la miniaturisation

I-1- Introduction

La diminution de la taille des MOSFETs vers l'échelle nanométrique s'accompagne de nouveaux effets électrostatiques et quantiques. Afin de retarder leur apparition, plusieurs stratégies sont envisagées à plus ou moins longue échéance.

L'objectif de ce chapitre est de décrire quelques concepts concernant les principaux effets issus de la réduction des dimensions et de décrire les limites des solutions technologiques. Nous suivrons cet exposé, par une description de la structure et du principe de fonctionnement du MOSFET, les technologies de fabrication du MOSFET et les phénomènes quantiques dans le canal. Nous discuterons encore sur la structure émergente de MOSFETs à double grille, qui susceptible de poursuivre la miniaturisation. La dernière section ouvre sur les perspectives.

I-2- Miniaturisation des MOSFETs

I-2-1- Evolution de la technologie CMOS

Le développement de la microélectronique depuis ces 30 dernières années est véritablement spectaculaire. Ce succès résulte en grande partie d'un savoir-faire et d'une maîtrise technologique de plus en plus poussés de l'élément fondamental de la microélectronique "le silicium". Le transistor MOS (*Metal Oxide Semiconductor*) est à la fois le principal acteur et le vecteur de cette évolution technologique. Il est à la base de la conception des circuits intégrés à très large et ultra large échelle (VLSI- ULSI), et a mené la technologie CMOS (Complementary MOS) au rang incontesté de technologie dominante de l'industrie des semiconducteurs. Au fil des années, la complexité des circuits intégrés a augmenté de façon contenue, grâce aux performances accrues des nouvelles générations de

transistors MOS (TMOS). La réduction constante des dimensions de ces composants est le moteur de cette course à la performance; en fait, c'est cette volonté de toujours réduire la taille des transistors MOS qui a entraîné toute l'industrie des semi-conducteurs à se surpasser et à se projeter en permanence dans le futur [5].

En 1973, G. Moore, l'un des co-fondateurs d'Intel avait observé que le nombre de transistors intégrés sur une même puce doublait tous les 18 mois. Cette observation l'avait alors conduit à prédire que le nombre de transistors intégrés sur une puce continuerait à doubler tous les 18 mois, jusqu'à ce que les limites physiques soient atteintes. La véracité de sa prédiction durant ces 30 dernières années a été telle que l'on s'y réfère maintenant en tant que « Loi de Moore ». La figure I.1 illustre la validité de cette prévision. Aujourd'hui, des circuits intégrés (IC) comprenant plus de 40 millions de transistors sont produits de façon industrielle (microprocesseur). La longueur de grille des TMOS utilisés pour ces dernières générations de microprocesseurs est égale à $0.1\mu\text{m}$, tandis que la surface de la puce varie de 80 à 150 mm^2 . En fait; la diminution de longueur de grille des dispositifs a deux avantages décisifs pour les fabricants : d'une part, à puissance égale, elle permet de réduire la surface de silicium de la puce, ce qui en termes de , est bénéfique, et d'autre part, elle permet d'augmenter la fréquence des circuits, cette dernière étant inversement proportionnelle à la longueur de grille.

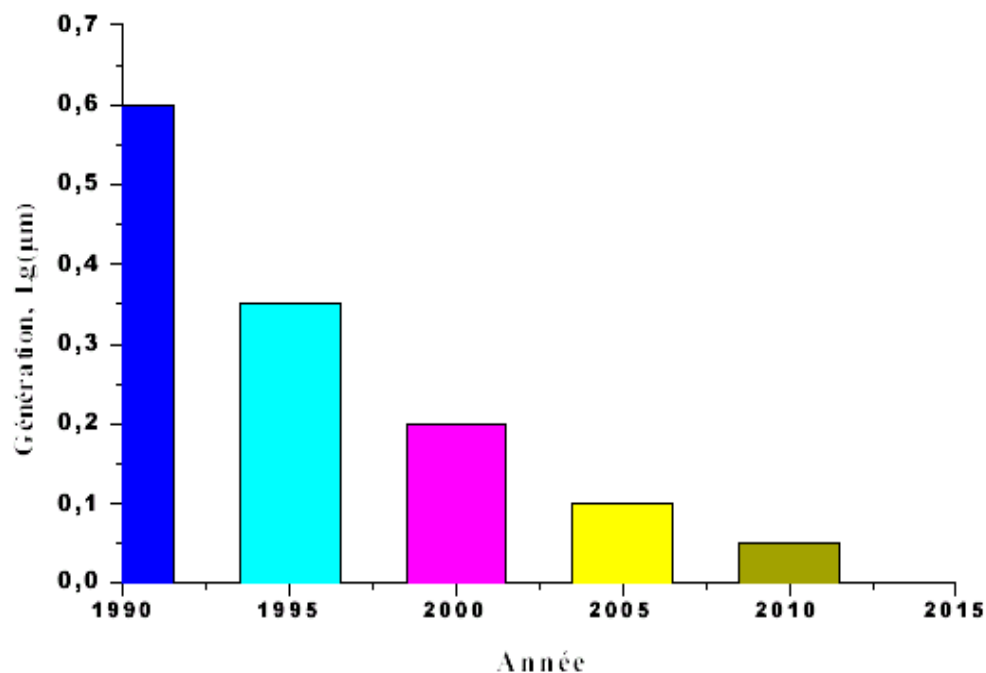


Fig.I.1. Réduction d'échelle de la technologie CMOS, en accord avec la loi de Moore [6].

I-2-2- Pourquoi réduire la taille des transistors ?

La croissance de l'industrie des semiconducteurs dépend pour l'instant de sa capacité à miniaturiser les transistors. L'objectif de la démarche est de délivrer de meilleures performances à moindre coût. Des circuits plus petits réduisent la surface globale de la puce électronique et permettent donc de produire plus de transistors sur un même wafer sans impact sur le prix de fabrication. Les performances électriques des composants sont également améliorées tableau (I.1) [7].

<i>Année</i>	2004	2007	2010	2013	2016
<i>Noeud technologique (nm)</i>	90	65	45	32	22
<i>Longueur de grille physique (nm)</i>	37	25	18	13	9
<i>Tension d'alimentation (V)</i>	1.2	1.1	1	0.9	0.8
<i>Epaisseur d'oxyde équivalent (nm)</i>	1.2	0.9	0.7	0.6	0.5
<i>Tension de seuil (V)</i>	0.2	0.18	0.15	0.11	0.10
<i>Courant de fuite nominal des NMOS (mA/ μm)</i>	0.05	0.07	0.1	0.3	0.5
<i>Courant conducteur nominal des NMOS (mA/ μm)</i>	1110	1510	1900	2050	2400
<i>Temps de réponse intrinsèque des NMOS (ps)</i>	0.95	0.64	0.39	0.26	0.15

Tab.I.1 : Prévisions ITRS des caractéristiques des MOSFETs ultimes (high performances)

En diminuant la dimension des MOSFETs, le temps de passage de l'état "off" à l'état "on" diminue linéairement du fait de l'évolution du temps de réponse intrinsèque $t_r \cong \frac{L_G}{v}$ (voir tableau I.1), avec L_G la longueur de canal, v vitesse des porteurs. Un autre avantage est la réduction de la consommation de puissance, utile pour augmenter la durée d'autonomie des systèmes mobiles. Des puces plus petites consomment moins de puissance, donc moins d'énergie est utilisée pour chaque opération. En conséquence, le produit puissance-temps de réponse est réduit. Enfin, la rapidité de transmission de l'information dans un circuit intégré est limitée par la vitesse de l'impulsion électrique. Pour pouvoir augmenter la rapidité globale d'une opération, il faut réduire les distances géométriques, et empiler un maximum de

données d'information dans un minimum d'espace pour les rapprocher. Cette évolution permet à un large public d'accéder à des services plus performants, moins chers et souvent nouveaux. Des objets technologiques innovants sont ainsi produits et créent de nouveaux marchés dont les retombées financières sont réinvesties dans la course à l'intégration.

I-3- Structure et principe de fonctionnement du MOSFET

Le transistor MOS fonctionne sur le principe d'un interrupteur électrostatique de très petite taille: il laisse passer ou interrompt un courant à la demande. C'est pourquoi, s'appliquant directement au traitement du langage binaire, il s'est imposé comme composant de base de l'électronique pour les applications logiques (inverseurs, additionneurs, cellules mémoires, ...).

I-3-1- Structure du transistor MOS

Le MOSFET est constitué d'un substrat semiconducteur sur lequel repose une fine couche d'oxyde isolant (SiO_2) d'épaisseur T_{OX} . Une couche conductrice (métal ou polysilicium fortement dopé), appelée électrode de grille, est aussi déposée sur l'oxyde. Enfin, deux régions fortement dopées de profondeur X_j , appelées source et drain, sont formées dans le substrat de part et d'autre de la grille. La structure basique d'un transistor nMOS est représentée à la figure I.2. En raison du procédé de fabrication, la grille « de longueur L_G » recouvre légèrement les régions de source et de drain. La région entre les jonctions de source et de drain est appelée la région du canal et est définie par sa longueur L et sa largeur W [5].

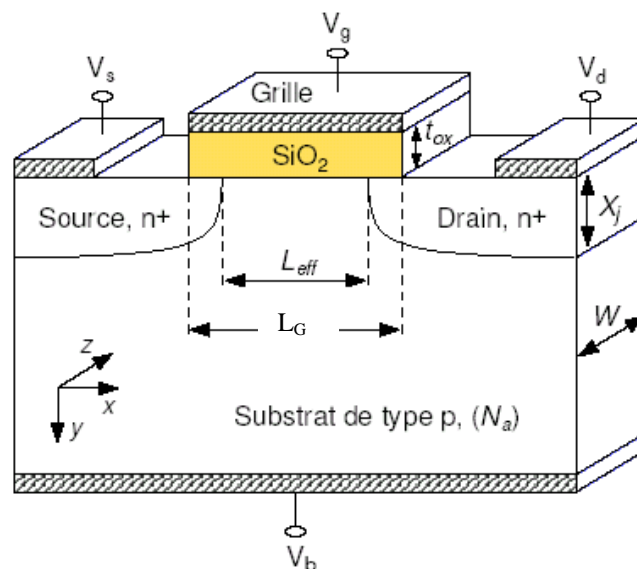


Fig. I.2 : Structure basique d'un transistor MOS de type n [5]

I-3-2- Principe de fonctionnement du transistor MOS

Le MOSFET comporte trois électrodes: une électrode d'entrée dite «source»; une électrode de sortie dite « drain » et une électrode de commande appelée «grille». Le signal appliqué sur la grille commande l'existence ou non d'une couche conductrice de porteurs libres en surface (le canal de conduction) entre la source et le drain. On distingue deux types de transistors MOS : les nMOS dont le canal de conduction est constitué d'électrons et les pMOS dont le canal de conduction est constitué de trous, nous intéresserons dans cette étude qu'aux transistors nMOS et par conséquent nous ne détaillerons que ce type de transistor. Sachant que le nMOS et le pMOS fonctionnent sur le même principe. Les nMOSFETs présentent des zones de source et drain dopées n, c'est-à-dire équivalentes à des réservoirs d'électrons, et le substrat est dopé p.

Un transistor nMOS est dit passant lorsqu'un nombre suffisant de porteurs se trouve dans le canal de conduction, c'est-à-dire lorsque la tension de grille V_{GS} appliquée est supérieure à une tension dite de seuil (V_T). La commande de grille est de type capacitif et s'effectue à travers une fine couche isolante : l'oxyde de grille. Le canal de conduction étant formé, le transport des porteurs entre les électrodes de source et de drain se fait sous l'impulsion d'un champ électrique induit par une différence de polarisation entre ces deux électrodes. Dans le cas d'un transistor MOS isolé, l'électrode de grille permet donc de moduler le passage d'un courant de drain (I_{DS}) d'une valeur idéale nulle, mais qui équivaut en réalité à un courant de fuite en régime sous le seuil ($V_{GS} < V_T$), à une valeur de saturation (I_{ON}) lorsque la polarisation appliquée sur la grille est égale à celle du drain ($V_{GS} = V_{DS} = V_{DD}$) (figure.I.3).

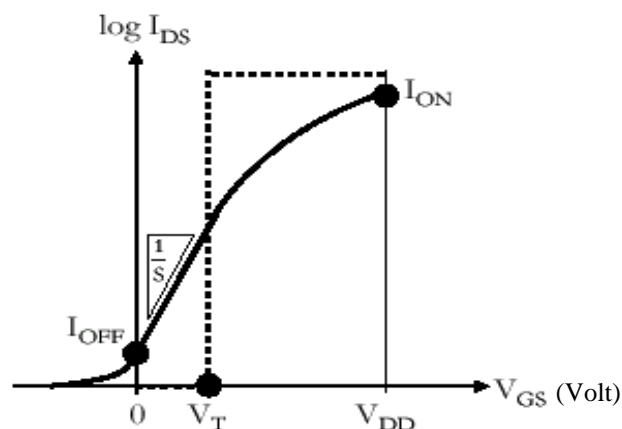


Fig.I.3. Caractéristique de sortie $I_{DS}(V_{GS})$ d'un interrupteur (trait pointillé) et d'un transistor nMOSFET (trait plein).

Le principal enjeu de l'amélioration des performances du MOSFET isolé pour les applications hautes performances et à faible consommation s'exprime généralement en ces termes : le rapport I_{ON}/I_{OFF} doit être aussi élevé que possible, avec I_{ON} défini comme le courant de drain lorsque $V_{GS} = V_{DS} = V_{DD}$ et I_{OFF} comme le courant de drain lorsque $V_{GS} = 0$ et $V_{DS} = V_{DD}$. De cette manière, des fréquences de commutation élevées sont autorisées par un courant I_{ON} élevé et un courant I_{OFF} minimal permet une faible dissipation d'énergie au repos.

I-4- Les paramètres d'un nano-MOSFET

Les paramètres importants d'un nano-MOSFET représentés sur la figure I.4 sont les suivants :

La tension de seuil (V_{TH}) est la tension de grille nécessaire à la formation d'un canal de conduction (couche d'inversion) entre la source et le drain. La tension de seuil typique d'un nano-MOSFET est comprise entre 0.2 et 0.4 V [8].

La transconductance ou gain (g_m) est définie par :

$$g_m = \left(\frac{\partial I_D}{\partial V_G} \right)_{V_{DS}=cte} \quad (I.1)$$

et doit être la plus élevée possible. La transconductance augmente très rapidement lorsque la longueur de canal devient inférieure à 100 nm [8].

La conductance du canal (g_{DS}) donnée par :

$$g_{DS} = \left(\frac{\partial I_D}{\partial V_{DS}} \right)_{V_G=cte} \quad (I.2)$$

La pente sous le seuil : représente la tension de grille à appliquer (en régime sous le seuil) pour augmenter le courant de drain d'une décade :

$$S = \frac{dV_G}{d(\log I_D)} \quad (I.3)$$

Un MOSFET est dans l'état "off" lorsque I_D est inférieur au dixième de sa valeur à la tension de seuil [8]. Le paramètre S limite la réduction de la tension de seuil d'un nanoMOSFET puisque le courant à zéro volt, c'est-à-dire le courant de l'état "off" doit rester suffisamment faible pour ne pas consommer de puissance.

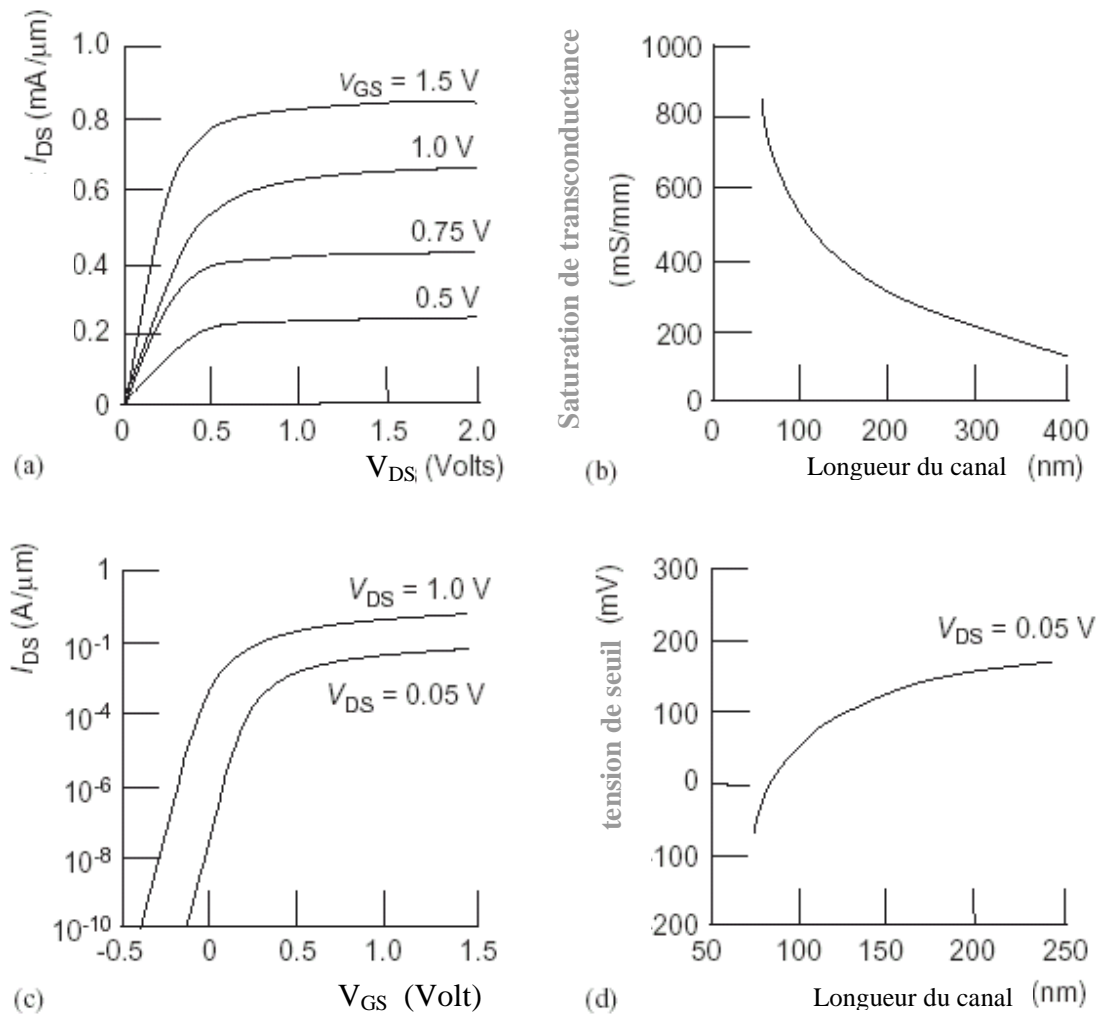


Fig.1.4: Représentation des caractéristiques d'un nano-MOSFET.

- a) caractéristique de sortie courant-tension. b) variation de la saturation de la transconductance avec la longueur du canal. c) Caractéristique de transfert d) variation de la tension de seuil avec la longueur du canal d'après[8].

I-5- Les régimes de fonctionnement de la structure MOS

Un MOSFET présente quatre régimes de fonctionnement distincts : le régime d'accumulation, le régime de désertion ou déplétion, le régime d'inversion faible et le régime d'inversion forte. Explicitons succinctement et successivement chacun de ces régimes dont les principes généraux sont résumés par la figure I.5.

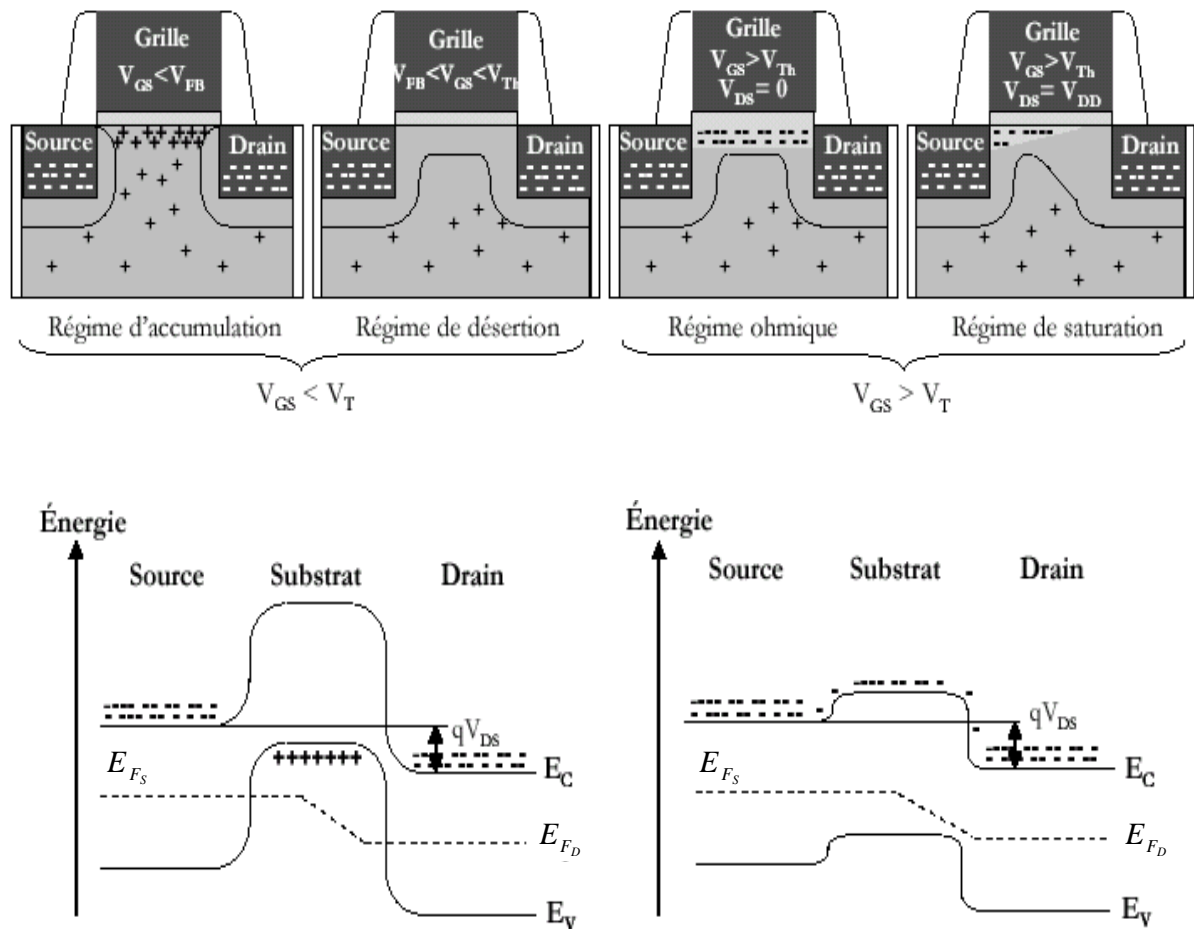


Fig.1.5. Représentation schématique des différents régimes de fonctionnement d'un nMOSFET et schéma des bandes d'énergie de la jonction source/substrat/drain dans le cas de régimes sous le seuil ($V_{GS} < V_T$) et au dessus du seuil ($V_{GS} > V_T$).

I-5-1- Régime d'accumulation

En régime d'accumulation, les porteurs majoritaires du substrat (les trous pour un nMOSFET) sont attirés à l'interface entre le semi-conducteur et l'oxyde. Il existe une barrière de potentiel entre la source et le substrat empêchant les électrons de circuler de la source vers le drain. Le transistor est à l'état bloqué.

I-5-2- Régime de désertion ou déplétion

Pour une tension de grille supérieure à la tension de bande plate (définie comme la tension donnant un champ électrique normal à l'interface nul) mais inférieure à la tension de seuil, les porteurs majoritaires dans le substrat sont repoussés en profondeur. Il se crée une

zone de charge d'espace où l'absence de charges libres induit une capacité de désertion (C_{DEP}). Le transistor est toujours à l'état bloqué.

I-5-3- Régime de faible inversion

Les concentrations des porteurs majoritaires et minoritaires sont équivalentes. La barrière de potentiel entre la source et le canal reste importante. Seuls quelques porteurs arrivent à franchir par activation thermique. Il en résulte un faible courant de diffusion dans le drain qui s'exprime par [9].

$$I_{DS} = \mu_0 C_{DEP} \frac{W}{L_G} \left(\frac{k_B T}{q} \right)^2 \left(1 - \exp\left(\frac{-qV_{DS}}{k_B T} \right) \right) \left(\exp\left(q \frac{V_{GS} - V_T}{nk_B T} \right) \right) \quad (I.4)$$

avec n le facteur de pente égal à $\left(1 + C_{DEP} / C_{OX} \right)$, C_{DEP} la capacité de désertion du semi conducteur, C_{OX} la capacité d'oxyde de grille, W la largeur du transistor, μ_0 la mobilité des porteurs en faible inversion (ou mobilité à faible champ transverse), k_B la constante de Boltzmann, T la température absolue et q la charge élémentaire de l'électron.

Ce courant est représenté par une droite en échelle semi-logarithmique en fonction de V_{GS} . La pente de cette droite correspond à l'inverse du paramètre appelé pente sous le seuil et définie par :

$$S = \frac{k_B T}{q} \ln 10 \left(1 + \frac{C_{DEP}}{C_{OX}} \right) = n \frac{k_B T}{q} \ln 10 \quad (I.5)$$

Dans le cas idéal où C_{DEP} est négligeable devant C_{OX} , on obtient la pente théorique minimale de 60 mV/décade à 300K. Le contrôle de la pente sous le seuil est primordial pour le paramètre du courant de fuite I_{OFF} .

I-5-4- Régime d'inversion forte

Pour des polarisations de grille supérieures à la tension de seuil V_{th} , le transistor est en régime d'inversion forte et devient passant. En fonction de la polarisation de drain, deux régimes se distinguent, le régime ohmique et le régime de saturation ou régime de source de courant.

A l'état passant, lorsque une tension positive est appliquée sur l'électrode de grille, il se crée une courbure de bande à l'interface oxyde/substrat. La source va donc pouvoir injecter

des porteurs dans le substrat par abaissement de la barrière de potentiel de la jonction source/substrat. Ce champ électrique vertical induit par la tension de grille permet la création du canal de conduction. Lorsqu'il est associé à un champ électrique horizontal entre la source et le drain destiné à mettre en mouvement les porteurs, le transistor est fonctionnel. Pour de faibles tensions de drain, la vitesse des porteurs varie linéairement avec le champ électrique dans la direction source-drain. Un tel régime est dit ohmique ou « linéaire » car le canal se comporte comme une résistance suivant l'équation [9] :

$$I_{DS} = \mu_{eff} C_{OX} \frac{W}{L_G} \left((V_{GS} - V_T) V_{DS} - \frac{(V_{DS})^2}{2} \right) \quad \text{pour } V_{DS} < V_{DSsat} \text{ et } V_{GS} > V_T \quad (I.6)$$

avec μ_{eff} la mobilité effective des porteurs.

Lorsque la tension de drain V_{DS} augmente au-delà de la valeur $V_{GS}-V_T$, la charge d'inversion ne peut plus être considérée comme uniforme dans le canal. En effet, la densité de porteurs devient nulle côté drain créant un point de pincement qui va se déplacer vers la source au fur et à mesure de l'augmentation de la tension de drain.

Dans le régime de saturation, le courant de saturation est indépendant de la tension V_{DS} et ne dépend que de la tension de grille V_{GS} . Le transistor se comporte finalement comme une source de courant commandée par V_{GS} (dans la limite des transistors à grande longueur de grille) [9].

$$I_{DSsat} = \mu_{eff} C_{OX} \frac{W}{L_G} \frac{(V_{GS} - V_T)^2}{2} \quad \text{pour } V_{DS} > V_{GS}-V_T \text{ et } V_{GS} > V_T \quad (I.7)$$

D'après l'équation (I.7), le courant de saturation dépend directement des dimensions géométriques du transistor : réduire la longueur de grille L_G ou bien réduire l'épaisseur d'oxyde de grille T_{OX} , revient à augmenter la capacité d'oxyde de grille C_{OX} , entraînant une augmentation du courant de sortie. De même l'équation (1.5) indique qu'une augmentation de la capacité d'oxyde de grille permet une amélioration de la pente sous le seuil. D'où l'un des intérêts de la miniaturisation : réduire les dimensions des transistors de manière à augmenter leurs performances. Cependant, la miniaturisation des MOSFETs dans le régime nanométrique ne consiste pas en une simple réduction des dimensions mais présente de nombreux enjeux, comme nous allons le voir dans les paragraphes suivants.

I-6- Technologie de fabrication

I-6-1- Technologie bulk et SOI

Il existe actuellement deux structures de composants largement étudiées et utilisées en technologie CMOS. La première est la structure silicium massif (ou "bulk"), dans laquelle le transistor est directement fabriqué sur un substrat semiconducteur (figure I.6.a). La seconde est appelée SOI (pour l'anglais "Silicon On Insulator") dans laquelle le transistor est réalisé sur une fine couche de silicium séparée du reste du substrat par une couche d'isolant (figure I.6.b).

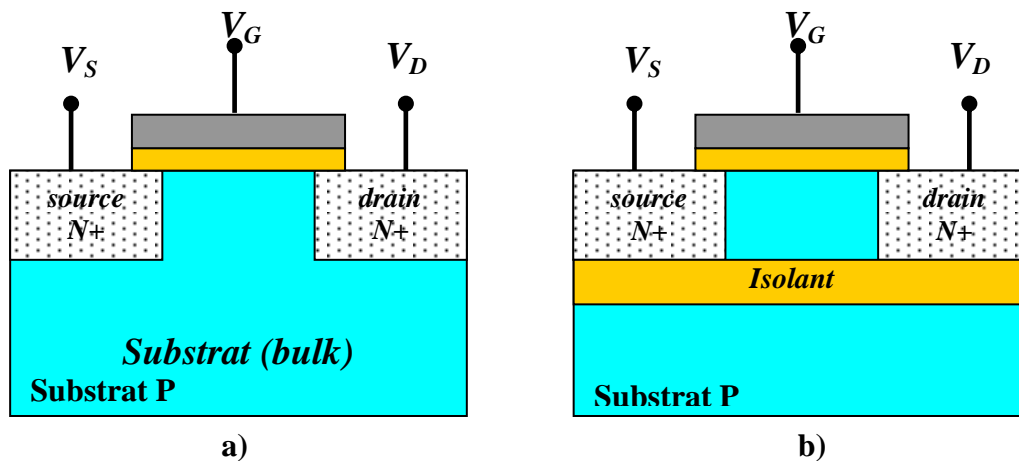


Figure I.6: Vue en coupe de transistors nMOS en technologie Si-bulk (a) et SOI (b) [10].

I-6-2- Technologie nanométrique

I-6-2-1- Nano-lithographie

Dans la technologie nanométrique, une étape de lithographie à l'échelle nanométrique est requise pour fabriquer des nanostructures avec un contrôle de leur taille et de leur positionnement inférieurs au nanomètre [11].

L'étape de lithographie est cruciale en microfabrication car c'est elle qui définit la géométrie et les cotes des structures. Les techniques de lithographie se scindent en deux familles: les procédés parallèles inspirés des techniques photographiques, basés sur l'utilisation d'une onde plane qui vient impressionner simultanément une surface sensible, et les procédés 'série', faisant appel au balayage d'un spot ou d'une sonde.

La lithographie UV et celle par rayons X appartiennent à la première famille, alors que les lithographies par faisceau d'électrons (EBL) ou par faisceau d'ions focalisés (FIBL) appartiennent à la deuxième.

Chaque technique de lithographie possède sa propre limite de résolution ultime et pratique. La limite pratique correspond à la résolution que les spécialistes espèrent atteindre en production, alors que la limite ultime correspond à ce qu'il serait possible d'atteindre théoriquement. Le tableau I.2 [12], résume cet aspect.

L'origine de la limite de résolution pratique pour l'utilisation de ces techniques à grande échelle (fabrication de plusieurs millions de transistors à la fois), est différente selon les techniques [12]:

<i>Techniques</i>	<i>Type</i>	<i>Limite pratique</i>	<i>Limite ultime</i>
<i>Ultraviolet</i>	<i>Projection</i>	<i>150 nm</i>	<i>10 nm</i>
<i>Rayon X</i>	<i>Proximité</i>	<i>70 nm</i>	<i>10 nm</i>
<i>Faisceau d'électrons</i>	<i>Ecriture directe</i>	<i>30 nm</i>	<i>1 nm</i>
<i>Faisceau d'ions</i>	<i>Ecriture directe</i>	<i>30 nm</i>	<i>10 nm</i>

Tab.I.2. Limites pratiques et théoriques des techniques de lithographies conventionnelles [12]

- **Lithographie UV:** La résolution lm de ce procédé est directement liée à la longueur d'onde λ ainsi qu'à la distance z entre le masque et le substrat recouvert de résine, par la relation $lm = \sqrt{\lambda \cdot z}$. Cependant au plus la longueur d'onde utilisée est courte, au plus il devient difficile de trouver des résines photosensibles. Cette technique permet de réaliser des structures sub-50nm.

- **Lithographie par rayons X :** Ce procédé nécessite l'utilisation d'un masque à l'échelle 1 à cause des difficultés liées à la fabrication d'optiques performantes pour ces longueurs d'onde. La fabrication de masque à l'échelle 1 représente un coût très élevé. De plus, l'alignement du masque par rapport au substrat, devient de plus en plus critique lorsque les tailles des motifs du masque diminuent. La lithographie par rayons X permet d'atteindre une résolution de 30 nm,

- **Lithographie par faisceau d'ions focalisés :** les ions sont utilisés pour insolée la résine mais également pour graver directement une surface. Cette technique consiste à

déplacer, sur la surface à lithographier, le faisceau d'une source d'ions à métal liquide. La résolution de la technique est d'une dizaine de nanomètres.

- **Lithographie par faisceau d'électrons** : la technique consiste à balayer un faisceau d'électrons sur une surface recouverte d'une résine électrosensible. En raison de leur faible longueur d'onde ($\lambda=0.04$ nm pour un électron d'énergie de 1 keV), la lithographie par faisceau d'électrons est moins sensible aux diffractions et permet d'atteindre des tailles de l'ordre du nanomètre.

A partir du tableau et des remarques précédents, on se rend compte qu'aucune technique de lithographie ne pourra de manière certaine, atteindre la résolution nécessaire pour fabriquer soit les MOSFET à leur taille minimum, soit les dispositifs élémentaires présents pour remplacer les transistors dans l'ère de la nanoélectronique. Il est donc impératif de mettre au point de nouvelles techniques permettant de relever ces défis technologiques, une des solutions envisagées est l'utilisation des microscopies en champ proche.

I-6-2-2- Les microscopies en champ proche, nouvel outil de nano-lithographie ?

Il existe 3 principales microscopies en champ proche, la microscopie à force atomique (AFM) [14], la microscopie par effet tunnel (STM) [15] et la microscopie en champ proche optique (SNOM) [16]. Leur point commun repose sur l'utilisation du phénomène très local, d'interactions entre une pointe de faible rayon de courbure (de 5 à 100 nm) et une surface, interactions qui apparaissent lorsque la distance pointe-échantillon est très faible (quelques nanomètres). La modification locale d'une surface à l'échelle nanométrique est possible sous la pointe d'un microscope à champ proche (AFM, STM et SNOM). Cette technique a même été utilisée pour positionner un unique atome sur une surface [13]. Il est alors possible d'imaginer utiliser les sondes en champ proche pour la fabrication de motifs à l'échelle nanométrique et pouvant même atteindre le contrôle atome par atome [13]. Les sondes locales ont été utilisées pour graver des résines, pour induire une oxydation locale sélective sur du silicium ou sur des couches ultra minces de métaux.

I-7- Effets de la miniaturisation et les solutions apportées à certains effets indésirables

La future génération de transistors MOS atteindra certainement des dimensions caractéristiques de l'ordre de quelques nanomètres. La miniaturisation du transistor à effet de

champ est dictée à la fois par des arguments de coût, par la nécessité d'intégrer de nombreuses fonctions sur une surface réduite, mais aussi par la volonté d'augmenter la vitesse des circuits tout en diminuant leur consommation. Pour cela, l'un des enjeux majeurs est d'obtenir un rapport I_{ON}/I_{OFF} élevé. Ces «nanoMOS» imposent de nouveaux défis technologiques à relever et dévoilent de nouveaux phénomènes que l'on ne peut plus négliger. Dans les paragraphes qui suivent, nous allons examiner les principales contraintes technologiques auxquelles le dispositif MOSFET est confronté dans la course à la miniaturisation.

I-7-1- Problèmes liés aux faibles épaisseurs d'oxyde

Parallèlement à la réduction de la longueur du canal L_G , l'épaisseur d'oxyde de grille doit être réduite afin de pallier les effets canaux courts et d'améliorer le contrôle du canal de conduction. A tensions de polarisation $V_{GS} = V_{DS} = V_{DD}$ constantes, une augmentation du courant de drain I_{ON} passe notamment par une augmentation de la capacité d'oxyde, ce qui équivaut à une diminution de l'épaisseur d'oxyde électrique. Cette diminution de l'épaisseur d'oxyde électrique est en premier lieu possible grâce à une augmentation de la capacité physique d'oxyde donnée par $k_{ox}\epsilon_0 S/T_{ox}$ avec k_{ox} la permittivité relative de d'oxyde, ϵ_0 la permittivité du vide et T_{ox} l'épaisseur physique de l'oxyde de grille.

Pour des épaisseurs inférieures à 2 nm, la couche d'oxyde devient suffisamment fine pour permettre le passage des porteurs par effet tunnel direct. Ce passage est à l'origine d'un courant tunnel de grille d'autant plus important que l'épaisseur d'oxyde est faible. L'apparition d'un courant de grille entraîne un accroissement du courant à l'état bloqué et donc de la puissance dissipée, il perturbe aussi le bon fonctionnement du transistor à l'état passant puisque les électrons du canal peuvent s'échapper vers la grille par l'intermédiaire de l'oxyde. Ces effets ne sont pas encore critiques pour le bon fonctionnement du transistor [23], même si les applications «basse consommation» souffrent de plus en plus de l'augmentation continue de la puissance dissipée.

La dépendance exponentielle du courant de grille (L_G) avec l'épaisseur d'oxyde fait de la limitation du courant tunnel de grille l'un des défis majeurs des prochaines années. Parmi les solutions en cours d'étude, une solution consiste donc à remplacer le diélectrique standard SiO_2 ($k = 3.9$) par un diélectrique de plus haute permittivité dit *high-k* comme l'oxyde d'hafnium (HfO_2 : $k = 20-25$) [22]. Parmi les matériaux présentant *high k* les plus prometteurs, citons ZrO_2 et HfO_2 (voir figure I.7). L'oxyde d'hafnium HfO_2 avec sa permittivité relative k_{ox} de l'ordre de 20, son gap relativement grand de l'ordre de 5,65 eV [17,

18,19], et enfin sa relative stabilité thermodynamique sur le silicium semble être un bon candidat pour remplacer l'oxyde [20].

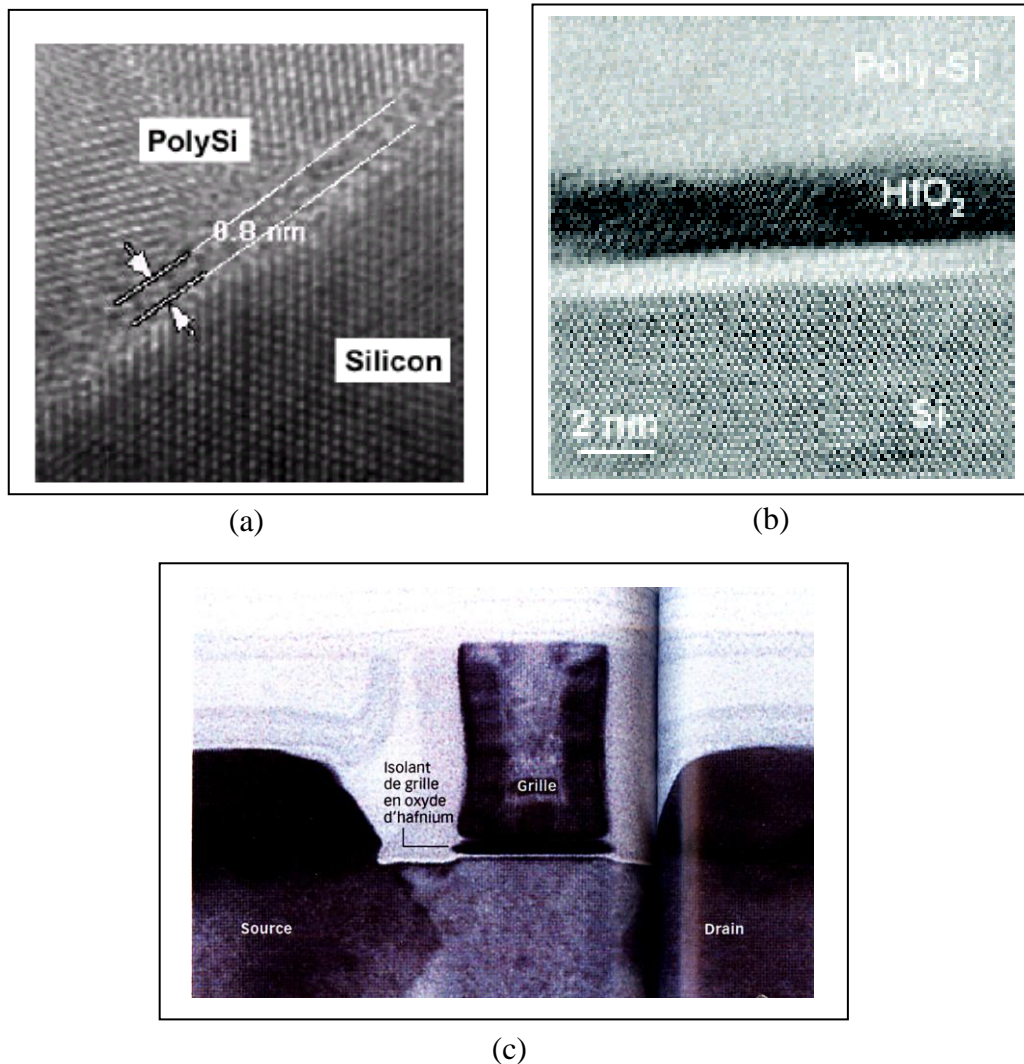


Fig.1.7. Vue en microscopie électronique à transmission (TEM) à haute résolution d'un :
a) empilement polysilicium/ SiO_2 / Si avec une épaisseur T_{OX} de SiO_2 égale à 0,8nm.
b) empilement polysilicium/ HfO_2 / Si Les points sur l'image correspondent aux nuages électroniques d'atomes. [21]
c) transistor MOSFET avec isolant de grille en oxyde d'hafnium [22]

I-7-2- La déplétion de grille

Diminuer l'épaisseur d'oxyde électrique, peut également s'obtenir par le changement de matériau de la grille. En effet, les électrodes de grille standards sont en silicium polycristallin et sont la cause d'une zone de désertion à proximité de l'interface avec l'oxyde lorsque le canal est en inversion. L'utilisation d'une grille polysilicium totalement siliciurée [24] ou de grilles métalliques [17, 25] permet alors de supprimer cette zone de désertion parasite. Laquelle offre, en outre, la possibilité d'ajuster la tension de seuil des dispositifs.

L'ajustement de la tension de seuil se fait par le biais de l'ajustement du travail de sortie de la grille métallique. Parmi les matériaux métalliques potentiellement au cœur des recherches dans ce domaine, se trouvent les matériaux de type midgap dont le travail de sortie est identique à celui du silicium [26]. Nous pouvons citer le $CoSi_2$ et le TiN comme exemples de matériau de ce type [26].

I-7-3- Problèmes liés au dopage

Une autre difficulté sérieuse dans la mise au point des nanoMOS réside dans la réalisation des différents dopages (canal et caissons) nécessaires pour contrer les effets canaux courts. La réalisation de profils de dopage complexes (dopage rétrograde, halos et poches, caractère abrupt du profil de dopage entre caissons source-drain fortement dopés et canal faiblement dopé) dans des dispositifs de plus en plus petits révèle technologiquement des difficultés croissantes, notamment si l'on désire une parfaite reproductibilité d'un transistor à un autre sans aucune dispersion des caractéristiques.

Le nombre d'impuretés dans le canal participant à l'élaboration du courant est de plus en plus faible de par la réduction croissante des dimensions du canal (à titre d'illustration, pour un substrat dopé à 10^{18} atomes / cm^3 , un canal mesurant $20 \times 20 \times 20$ nm³ ne comporte en moyenne que 8 impuretés). Il en résulte une distribution microscopique aléatoire des dopants ayant des effets non négligeables sur la tension de seuil. Ces fluctuations de performances de plus en plus grandes vont aboutir, à terme, à des problèmes de plus en plus difficiles à surmonter dans les technologies MOSFET [27,28] et, par voie de conséquence, dans l'élaboration des circuits intégrés.

I-7-4- Les effets canaux courts

Cependant de nouveaux problèmes apparaissent lorsque l'on atteint des longueurs de grille ultrasubmicroniques (inférieures à 0,1 μm), de manière générale, les effets canaux courts, que nous noterons SCE (*Short Channel Effects*), constituent tous des effets parasites qui influent sur V_{th} . Deux effets parasites sont prédominants lorsque l'on atteint des dimensions très faibles: le partage de charge CS (*Charge Sharing ou Roll-off*) et le DIBL (*Drain Induced Barrier Lowering*).

I-7-4-1- Le partage de charge de déplétion (CS)

En diminuant la longueur de grille, c'est-à-dire en rapprochant la source du drain, certes le temps de commutation entre les états logiques du dispositif est diminué, mais la

proportion spatiale du canal de conduction contrôlée par la grille l'est aussi. Ces effets dits de canal court (SCE pour *Short Channel Effects*) peuvent se résumer à la perte du contrôle électrostatique de la grille sur le canal [9]. En effet, dans les transistors longs, la charge de désertion dans le canal est essentiellement contrôlée par la grille. Mais, lorsque la longueur de grille du transistor diminue, les régions de désertion aux jonctions source et drain restent de taille constante alors que la région du canal contrôlée par la grille diminue (voir figure I.8).

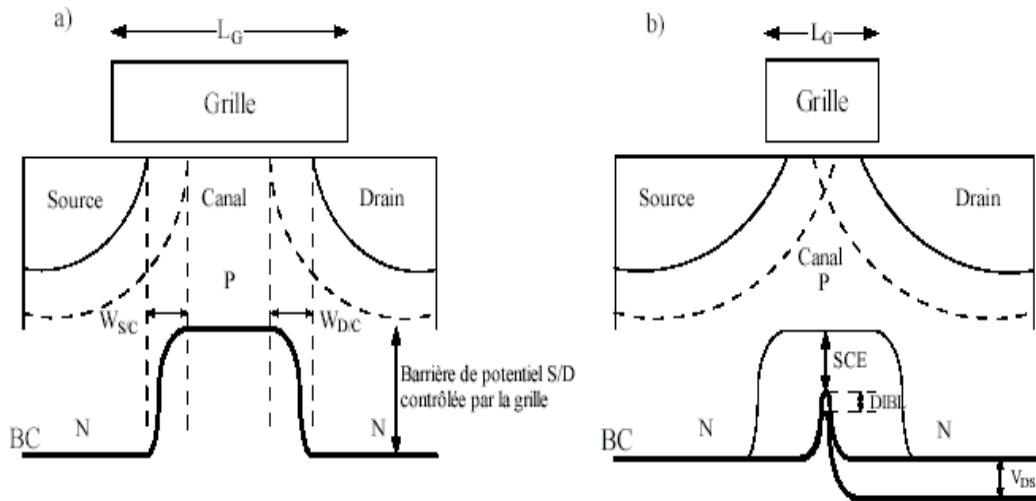


Fig.I.8. Structure d'un transistor MOSFET a) à canal long. b) à canal court. Dans le dernier cas, les effets canaux courts résultent du chevauchement des zones de charges d'espaces des régions dopées (W_{SC} et W_{DC}).

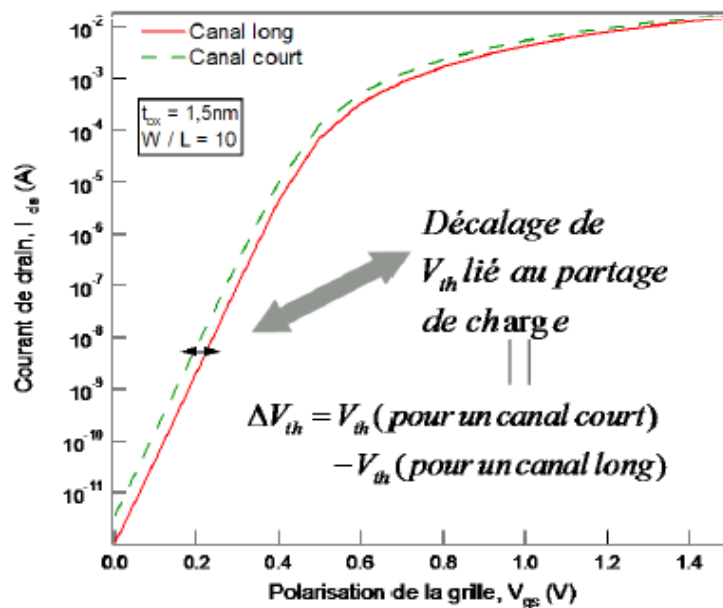


Fig. I.9. Influence de l'effet du partage de charge sur la caractéristique du courant du transistor MOS pour $V_d = 1V$

Il en résulte, dans les transistors courts, que le potentiel le long du canal peut être complètement dominé par les extensions des zones de charge d'espace autour des jonctions source et drain au détriment du contrôle de la grille [29, 30]. Cet effet se traduit par une diminution de la tension de seuil et par une augmentation de la pente sous le seuil S ainsi que du courant. Ce résultat s'observe bien sur la caractéristique I_D-V_G en échelle logarithmique de la figure I.9.

I-7-4-2- L'abaissement de la barrière de potentiel induit par le drain (DIBL)

Le DIBL (pour *Drain Induced Barrier Lowering*) est alors attribué à l'influence électrostatique du potentiel de drain sur la hauteur de barrière de la jonction source/canal. L'abaissement de la barrière de potentiel, dû aux effets de canal court entre la source et le drain est la cause d'une diminution de la tension de seuil mais aussi d'une augmentation du courant de fuite I_{off} .

Pour expliquer l'effet du DIBL, nous devons considérer un dispositif à canal court. Comme décrit dans la figure I.10.a, lorsque aucune polarisation n'est appliquée, le profil de potentiel est le même que dans le cas du dispositif à canal long. Cependant, avec une tension de drain appliquée (Fig.I.10-b), le profil du potentiel de canal est affecté. La polarisation de drain change le profil sur toute la longueur du canal, abaissant la barrière à la jonction substrat-source. L'injection augmentée d'électrons par la source, par dessus la barrière de canal réduite, lorsque V_{ds} augmente, entraîne une croissance du courant de drain et donc une décroissance de V_{th} . Voir (Fig.I.11).

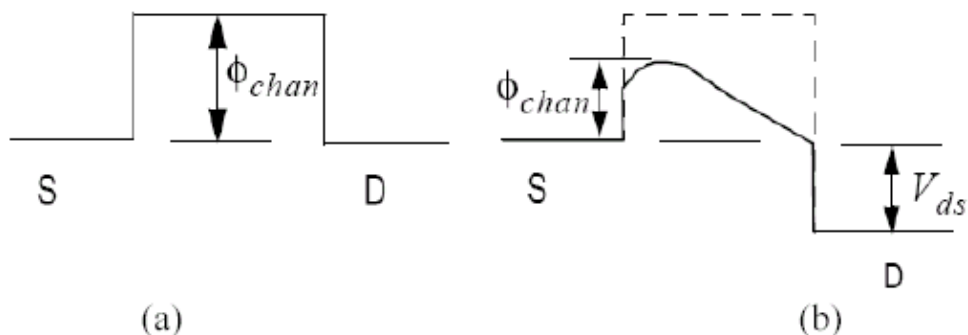


Fig.I.10. Profil du potentiel de canal sur une structure à canal court pour
(a) $V_{ds} = 0 \text{ V}$, (b) $V_{ds} > 0 \text{ V}$

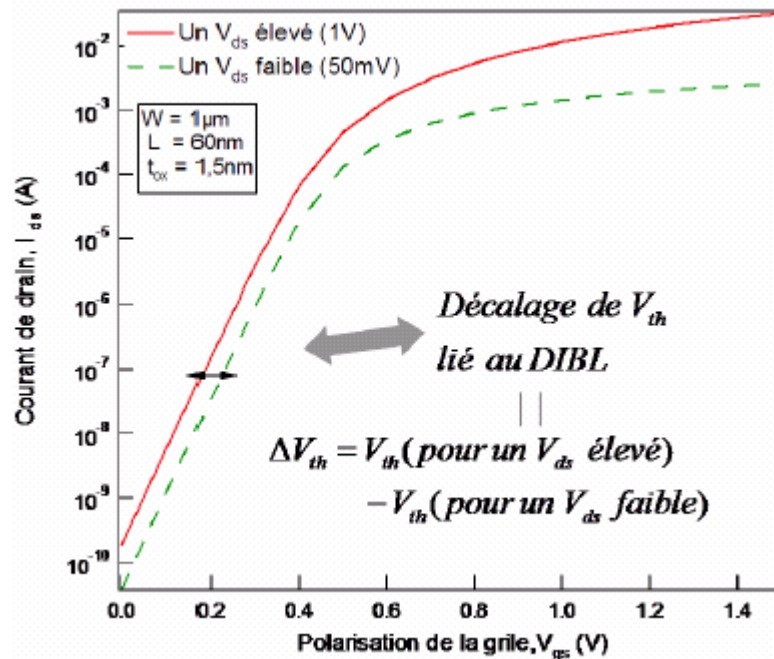


Fig.I.11. Influence de l'effet du DIBL sur la caractéristique $I_D - V_G$ du transistor MOS

I-7-4-3- Solutions pour remédier aux effets de canaux courts

Afin de limiter l'impact de ces effets de canal court et donc d'augmenter le contrôle de la grille sur le canal, plusieurs solutions sont proposées dans la littérature [31]. Le transistor sur film mince ou SOI (Silicon on Insulator) se distingue du transistor conventionnel par la présence d'une couche d'oxyde enterré. Ainsi, pour de très faibles épaisseurs de film, le canal d'un transistor SOI peut être complètement déserté (Fully Depleted SOI – SOIFD) (Fig.I.12.a). De cette manière, un très bon contrôle du potentiel dans le canal est autorisé ce qui limite les effets de canal court. Ceci constitue l'un des avantages majeurs des films minces de silicium.

Afin d'améliorer encore plus le contrôle de la grille sur le canal, une autre solution consiste en l'introduction d'une ou plusieurs grilles de contrôle supplémentaires. De telles architectures suscitent un réel engouement puisqu'elles permettent une diminution du courant de fuite I_{off} mais également un gain en courant I_{on} de par, par exemple, la présence de deux grilles dans le cas du transistor à double-grille (Fig.I.12.b). De nombreuses réalisations technologiques sont proposées parmi lesquelles les architectures planaires [32] (figure I.12.c),

ou les finFET [33]. Dans toute la suite de cette étude, on ne considère que les architectures à double-grille planaires. En effet, comme il vient d'être explicité, ces architectures à grilles

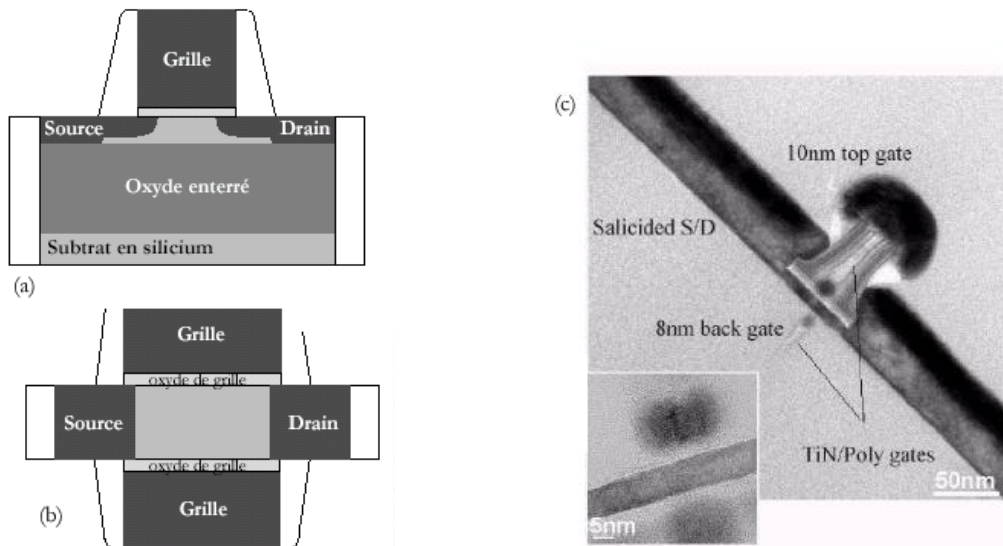


Fig.1.12. Représentation schématique de : (a) la structure d'un transistor SOI (b) à double grille (c) image TEM (Microscopie à transmission électronique) d'un transistor nMOS à double-grille [32].

multiples sont reconnues comme une excellente solution pour le transistor ultime. De plus, le transistor à double-grille est intéressant pour mettre en avant les effets quantiques qui font l'objet de cette étude, et en particulier les effets de confinement quantique présent à chacune des deux interfaces oxyde-silicium.

I-8- Impact du canal nanométrique sur le transport électronique

Ces diminutions de longueurs de grille mais également d'épaisseur de film ont également un impact non négligeable sur le transport électronique. En effet, le champ électrique variant désormais rapidement dans le canal, les porteurs soumis à ce champ sont susceptibles d'acquérir des énergies très élevées que les interactions avec les phonons du réseau cristallin ne suffiront pas à ramener à leur valeur d'équilibre. On définit ainsi le transport hors-équilibre comme régissant le mouvement des porteurs lorsque le gain d'énergie des porteurs induit par le champ électrique est plus important que la puissance que peut dissiper le réseau cristallin par l'intermédiaire des interactions phonons intervallées [34, 35]. De plus, il est désormais possible que le temps mis par un porteur pour aller de la source au drain soit du même ordre de grandeur que le temps caractéristique entre deux interactions

successives subies par un porteur. Ainsi, lorsqu'une proportion non négligeable des porteurs est susceptible d'aller de la source au drain en ne subissant aucune interaction, le transport est qualifié de quasi-balistique [36, 37, 38, 39]. Enfin, lorsque la dimension des dispositifs devient de l'ordre de grandeur de la longueur d'onde des porteurs, ce qui est notamment le cas pour les très faibles épaisseurs de film, il convient de prendre en compte la nature ondulatoire des porteurs. Ces effets quantiques et leurs conséquences sur le transport électronique sont présentés en détails au paragraphe suivant. Ces différents phénomènes de transport électronique sont susceptibles de jouer de manière considérable sur les performances électriques des transistors.

Afin d'améliorer le transport électronique dans le canal, c'est-à-dire afin d'augmenter le courant I_{ON} sans pour autant dégrader le courant I_{OFF} , l'augmentation de la mobilité dans le canal est une solution (équations (I.3) et (I.4)). Rappelons ici que la mobilité traduit l'aptitude des porteurs à se déplacer sous l'effet d'un champ électrique donné. Depuis, quelques années, on s'intéresse donc à l'introduction de contraintes mécaniques dans le canal du transistor MOS. Ces contraintes sont soit introduites lors du procédé de fabrication, soit induites par le substrat lui-même. Des matériaux alternatifs dits à forte mobilité comme le silicium contraint [40], le silicium-germanium [41, 42] ou le germanium [43, 44] sont donc actuellement utilisés ou à l'étude. Notons également que les changements d'orientation cristalline du substrat sont un autre moyen d'augmenter la mobilité des porteurs [45, 46].

Au-delà des quelques enjeux présentés ci-dessus précisons que les résistances des extensions source et drain peuvent être très élevées, limitant ainsi les performances du transistor. Donc la diminution des résistances d'accès en remplaçant les régions dopées par des contacts Schottky (sources et drains métalliques). La limitation des zones d'influence des extensions source et drain par l'implantation de poches ou encore la réduction des capacités entre le canal et les zones de source et drain par des jonctions fines sont autant de points clés des futures technologies.

Ainsi donc, les enjeux de la miniaturisation du MOSFET dans le régime nanométrique sont multiples et seuls quelques uns sont évoqués ici. Ils concernent non seulement les matériaux utilisés (matériaux contraints [57,86], grilles métalliques, oxyde high-k ...), mais également l'architecture même des transistors (transistors sur film mince, à grilles multiples ...). De plus, de telles architectures sont désormais le siège de phénomènes de transport électronique complexes. L'étude du transport électronique est donc également devenu l'un des enjeux majeurs des futures générations de composants MOSFETs.

I-9- La technologie MOSFET double grille (Double-Gate MOSFET)

Les MOSFET SOI simple grille présentent un oxyde enterré très épais ($10 < T_{ox} < 100\text{nm}$) dans lequel pénètrent les lignes équipotentielles de champ électrique de la source et du drain. Il s'ensuit une perte de potentiel dans l'oxyde enterré et un mauvais contrôle électrostatique de la grille pour les petites dimensions: les effets canaux courts apparaissent et dégradent à nouveau la pente sous le seuil [47]. La plupart des études semblent indiquer que les SOI MOSFET à deux, trois, voire quatre grilles sont plus adaptés à la réduction ultime des dimensions. La multiplication des grilles contrôle mieux le potentiel de canal et immunise le transistor contre les effets canaux courts observés dans une géométrie SOI simple grille [48, 49]. Pour ces géométries, un fort dopage de canal n'est plus nécessaire. L'utilisation d'une partie active en silicium ultra-fine et faiblement dopée stabilise les variations de la tension de seuil V_{th} [56], et améliore la mobilité du canal (diminution de la diffusion avec les impuretés ionisées) et fait tendre la pente sous le seuil S vers la valeur idéale de 60 mV/décade. Dans ce contexte, et afin de surmonter les contraintes imposées par la miniaturisation du MOSFET en deçà de 30nm, le MOSFET à double grille (*DG MOSFET*) illustré dans la figure I.13.b a été identifié par ITRS (International Technology Roadmap for semiconductors) en tant que la structure la plus prometteuse qui permet davantage de graduation dimensionnelle de CMOS au-delà de 65nm pour son courant d'entraînement plus élevé, la pente sous seuil améliorée, la conductivité pour les canaux courts et la flexibilité remarquable de conception des circuits intégrés à l'échelle nanométrique [50, 51]

Les transistors MOS double-grille (DG) sont regroupés en trois catégories suivant la direction du transport électronique et la direction du champ de grille par rapport au plan du substrat qui est le plan horizontal. Ainsi, pourrions-nous distinguer :

- **Le MOSFET double-grille planaire** : où le transport électronique s'effectue parallèlement au plan de substrat et le champ de grille est perpendiculaire au substrat.
- **Le MOSFET double-grille quasi-planaire** : où le transport électronique et le champ de grille sont parallèles au plan de substrat.
- **Le MOSFET double-grille vertical** : où le transport électronique est perpendiculaire au plan de substrat et le champ de grille est parallèle au substrat.

Ces trois catégories de MOSFET double-grille possèdent des particularités technologiques telles qu'une résolution lithographique et un alignement des grilles totalement

différentes. En conséquence de ces différences du point de vue technologique, les propriétés électriques demeurent nettement modifiées lorsque nous passons d'une catégorie à une autre.

I-10- Phénomènes quantiques dans le canal

La réduction des dimensions des dispositifs jusqu'à des tailles nanométriques met en évidence des phénomènes de nature quantique, jusqu'alors considérés comme inexistantes ou en grande partie négligeables. Ces effets quantiques sont essentiellement de trois ordres : les effets du confinement quantique, et au courant tunnel et aux phénomènes d'interférences quantiques.

I-10-1- Confinement quantique

Les épaisseurs de canal des dispositifs MOSFETs sont aujourd'hui proches des longueurs d'onde des électrons. En conséquence, les porteurs dans la couche d'inversion sont libres de se mouvoir parallèlement au canal de conduction. Par contre, du fait des forts champs électriques, leurs mouvements perpendiculairement à la surface du canal sont confinés dans un puits de potentiel étroit. Ces effets de confinement se manifestent essentiellement sous deux aspects :

- la quantification de la bande d'énergie en sous-bandes (valeurs propres de l'équation de Schrödinger) dans le puits de potentiel formé à l'interface oxyde/silicium. Les porteurs dans la couche d'inversion se comportent alors comme dans un gaz à deux dimensions (au lieu d'un gaz à trois dimensions ou continuum d'énergie dans le cas classique), figure I.13.a.
- la détermination de la distribution des porteurs dans la direction transverse au transport par la superposition de fonctions d'ondes (fonctions propres de l'équation de Schrödinger) chacune associée à une sous-bande d'énergie sur lesquelles est appliquée une condition aux limites répulsive à l'interface oxyde/silicium. Ceci a pour conséquence de décaler le maximum de la densité de porteurs à quelques nanomètres de l'interface oxyde/silicium à l'intérieur du silicium (au lieu d'un maximum à l'interface oxyde/silicium dans le cas d'une approche classique)[52], figure I.13.b.

Ces effets de confinement ont des conséquences sur l'électrostatique du dispositif mais également sur le transport électronique. De par ces deux effets, à polarisation de grille constante, lorsque les effets de confinement quantique sont pris en compte, la charge

d'inversion Q_{inv} est diminuée. Il en résulte une augmentation de la tension de seuil. En ce qui concerne le transport électronique, le potentiel de surface est modifié en régime d'inversion (modification du profil de la densité de porteurs) ainsi que la masse effective de conduction

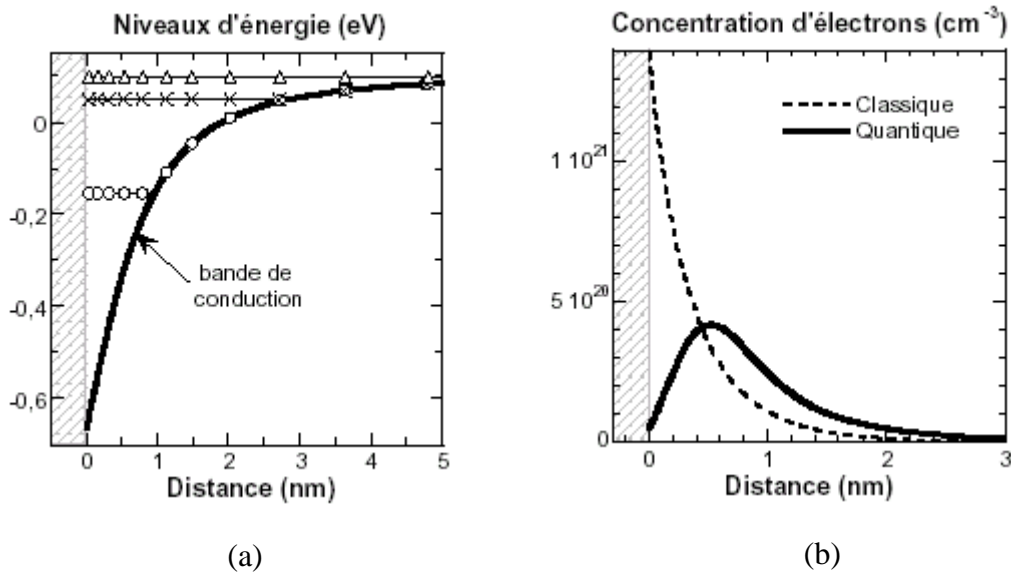


Fig.I.13. a) Niveaux d'énergie d'une capacité MOS en forte inversion. b) concentration d'électrons dans d'une capacité MOS en régime forte inversion.

des porteurs (les porteurs sont désormais répartis sur les différents niveaux d'énergie), ce qui modifie la mobilité des porteurs et donc le courant de drain.

I-10-2- Effet tunnel

L'effet tunnel, caractéristique de la nature ondulatoire des porteurs, est la possibilité pour une particule de traverser une barrière d'énergie même si, dans une vision classique, elle n'a pas une énergie suffisante pour la franchir. Dans les MOSFETs, les porteurs ont essentiellement la possibilité de passer par effet tunnel à travers l'oxyde de grille ou bien entre les zones de source et drain à travers la barrière de potentiel du canal contrôlée par la grille.

I-10-2-1- Effet tunnel à travers l'oxyde de grille

Afin d'assurer un bon contrôle de l'électrostatique du canal de conduction par la grille, les dispositifs requièrent des oxydes de grille de plus en plus fins. Or, pour des épaisseurs d'oxyde suffisamment faibles (inférieures à 2 nm), la pénétration des fonctions d'ondes à l'intérieur de la barrière de potentiel autorise les porteurs à traverser cette barrière par effet tunnel. Ce courant tunnel dégrade profondément les caractéristiques du transistor puisque les

porteurs ont la possibilité de fuir à travers l'oxyde. Le courant de fuite I_{OFF} s'en trouve augmenté et le courant de conduction I_{ON} diminué, phénomène d'autant plus important que l'épaisseur de grille est faible, le courant tunnel de grille conduit à intégrer de nouveaux diélectriques dits à haute permittivité ou *high-k*.

I-10-2-2- Effet tunnel entre les zones de source et de drain

La diminution extrême de la longueur du canal rend également possible le passage des porteurs par effet tunnel entre les zones de source et de drain, c'est-à-dire à travers la barrière de potentiel du canal contrôlée par la grille. Cet effet tunnel a essentiellement pour conséquence d'induire un courant de fuite supplémentaire à l'état bloqué, c'est-à-dire une augmentation du courant sous le seuil.

I-10-3- Interférences quantiques

Dans un traitement quantique, les porteurs sont décrits par des fonctions d'onde présentant une phase bien déterminée et qui, dans certaines conditions, sont susceptibles d'interférer, tout comme le font les ondes lumineuses en optique. Pour évaluer ces phénomènes d'interférence, appelés aussi corrélations ou cohérences, et donc les conditions dans lesquelles ils peuvent se produire, on définit la longueur de cohérence L_ϕ comme étant la limite pour la propagation cohérente des électrons dans un solide. Les interactions qui ne modifient ni l'énergie, ni le module du vecteur d'onde de l'électron ne perturbent pas l'évolution de la phase. La valeur de L_ϕ dépend donc des processus inélastiques qui donnent lieu à la perte de cohérence de phase, c'est-à-dire essentiellement des interactions électron-phonon et électron-électron. Pour des distances plus petites que L_ϕ , les électrons ne subissent pas de processus de diffusion inélastique et leur fonction d'onde garde une phase bien définie. La cohérence de phase étant conservée, des effets d'interférences, qui généralement se traduisent sous forme d'oscillations de courant peuvent apparaître. Par contre, pour des dispositifs dont la taille est très supérieure à la longueur de cohérence, on suppose une modification aléatoire des phases par les différents processus de diffusion subis. La moyenne des interférences est alors supposée nulle.

I-11- Quel avenir pour le transistor ?

La longueur de grille des transistors L_G est passée progressivement de $10 \mu m$ en 1960 à $0.1 \mu m$ en 2000, permettant d'intégrer $(100)^2 = 10000$ fois plus de transistors sur une puce de

surface donnée. Cette croissance de la densité d'intégration est le coeur de l'évolution informatique. Combien de temps cette diminution pourra continuer? Dans 20 ans, construirons-nous des transistors de longueur $L_G \approx 0.01 \mu\text{m}$? Peut être, mais chacun s'accorde à dire que le chemin de la miniaturisation sera bien plus difficile, maintenant que nous atteignons l'échelle atomique. Pouvons-nous cependant imaginer la future brique élémentaire de l'électronique ? Rappelons tout d'abord que beaucoup de prévisions passées semblent aujourd'hui très cocasses. Par exemple en 1961, les scientifiques affirmaient qu'aucun transistor ne pouvait atteindre une longueur de grille de 10^{-5} m, alors qu'une puce d'Intel possède actuellement des centaines de millions de dispositifs 100 fois plus petits... Néanmoins les prévisions modernes sur la limite des dimensions devraient être plus fiables, puisque basées sur des principes de physique fondamentale. D'après les grandes industries des semi-conducteurs (IBM, Infineon), la technologie MOSFET est condamnée à s'éteindre à plus ou moins longue échéance. Son successeur direct semble être le transistor à nanotube de carbone. Avant d'obtenir une rupture totale de technologie une première étape pourrait être la réalisation de systèmes hétérogènes combinant la technologie CMOS à de nouveaux composants moléculaires [53].

A plus long terme, des transistors ne transmettant qu'un électron à la fois sont envisagés. Un tel dispositif, appelé SET (pour "*Single Electron Transistor*"), ne pourrait prendre que deux états "*on*" ou "*off*" suivant qu'il contienne un électron ou pas et serait uniquement utilisé dans des codes binaires (et non pour amplifier). Si un électron pourrait être codé par trois niveaux : à la place du simple "*on*" ou "*off*", il pourrait y avoir aussi un troisième niveau quelque part entre l'état "*on*" et l'état "*off*" [54]. Ce type de composant ouvrirait la voie à de nouveaux algorithmes dits "quantiques". Les ordinateurs quantiques qui en dériveraient auraient une puissance de calcul quasi-infinie. Mais ne nous emportons pas, la conjugaison des connaissances en physique, matériaux, composants et circuits, devrait assurer le développement de transistors MOSFETs jusqu'en 2015 [55], ainsi le chemin vers l'échelle atomique sera sinueux, incertain et dépendra de multiples paramètres: technologique, économique,.... Durant les 30 dernières années, nous avons su quoi faire : réduire la taille des transistors. Les avancées industrielles nous permettent toujours de maintenir l'allure, mais la limite d'intégration est proche. Quand la limite sera atteinte les choses devront changer. Pourrons-nous un jour produire des composants fiables de quelques plans atomiques? Ou découvrirons-nous des architectures pour lesquelles la structure de base ne sera plus le

transistor ? Peut être, seul le temps nous le dira. Mais il y a une chose qui apparaît inévitable : nous allons devoir apprendre à modéliser et à décrire les composants de taille nanométrique.

I-12- Conclusion

Dans le but de diminuer le coût de production, l'encombrement et d'améliorer en même temps les performances, les MOSFETs, sont soumis à une miniaturisation incessante. Leurs dimensions atteignant désormais le régime nanométrique ($<100\text{nm}$), cette réduction des dimensions a engendré des phénomènes parasites (*DIBL*, modification de la tension de seuil...) qui détériorent les caractéristiques courant-tension. Ainsi de nouvelles architectures de dispositifs sont requises afin de minimiser la puissance dissipée et d'améliorer le transport électronique. Parmi ces architectures innovantes, citons en particulier le cas du dispositif à double-grille.

En outre, l'un des enjeux de la miniaturisation des MOSFETs dans le régime nanométrique passe par l'étude des phénomènes de transport électronique. Cependant, pour de tels dispositifs, des phénomènes de transport comme le transport hors-équilibre, le transport balistique et les effets quantiques ne peuvent plus être négligés car ils sont susceptibles d'influencer notablement les performances électriques.

Chapitre II :

Transport électronique dans un nano-MOSFET

II-1- Introduction

Pour l'étude des MOSFETs de taille nanométrique il n'est plus possible de considérer comme négligeables les effets quantiques. Il convient donc de mettre au point des méthodes de calcul décrivant précisément le transport électronique, permettant de rendre compte de l'influence des effets sur le fonctionnement de ces dispositifs.

L'objectif de ce chapitre est de montrer l'évolution des méthodes de modélisation "conventionnelles" des MOSFETs, d'établir leurs limites pour simuler les effets de la miniaturisation. On commence par un rappel des équations fondamentales régissant le transport d'un gaz d'électrons libres dans le formalisme de Boltzmann. Ensuite, on détaille la vision du transport dans un nano-MOSFET avec le formalisme des fonctions de Green hors-équilibre.

II-2- Transport électronique dans un nano-MOSFET

Les modèles physiques, utilisés de nos jours permettant d'obtenir les relations courant/tension dans les transistors MOS sont basés sur l'hypothèse dite « de mobilité ». Elle suppose que les porteurs subissent un nombre d'interactions suffisamment important pour leur permettre d'être constamment en équilibre local avec le réseau cristallin, comme illustré schématiquement en figure.II.1.a. Il existe alors une relation unique entre le champ électrique

\vec{E} et la vitesse moyenne des porteurs \vec{v} : $\vec{v} = -\mu_{eff} \cdot \vec{E}$ (μ_{eff} : mobilité effective)

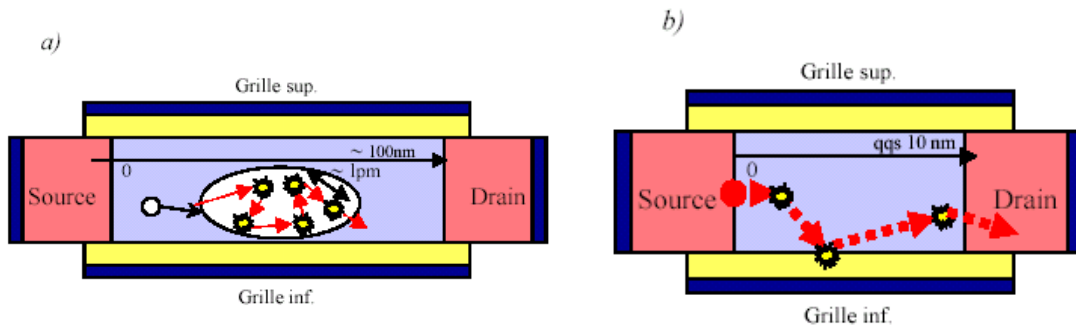


Fig.II.1. Schéma d'une trajectoire typique d'un porteur avec ses interactions dans a) un transistor long et b) un transistor ultracourt.
 lpm : libre parcours moyen des porteurs [31].

Dans le cadre d'un nano-MOSFET (figure II.1), le système peut être décrit par les régimes suivants :

- la longueur du canal est plus grande que le libre parcours moyen, les électrons subiront beaucoup de chocs élastiques, le régime est dit diffusif.
- la longueur du canal est plus petite que le libre parcours moyen alors les électrons subiront peu, voire pas, de chocs et le régime est dit balistique.
- Lorsqu'une partie des porteurs subit des interactions élastiques ou inélastiques, alors que la partie restante se propage de façon balistique de la source au drain, le régime est dit quasi-balistique.

II-3- Transport électronique classique

Dans cette partie, nous présentons les équations fondamentales qui régissent le transport d'un gaz électronique classique à partir du formalisme de Boltzmann, après avoir discuté le domaine de validité de ce dernier.

II-3-1- Notion de fonction de distribution

L'étude classique du transport électronique consiste en la détermination de l'évolution temporelle de l'état des porteurs dans le dispositif. Les approches classiques reposent sur l'hypothèse d'une fonction de distribution $f(\vec{r}, \vec{k}, t)$, qui décrit complètement le système étudié. Ainsi, la grandeur $f(\vec{r}, \vec{k}, t)$ représente la probabilité de trouver à un instant t , un porteur positionné dans l'espace des coordonnées \vec{r} et présentant un vecteur d'onde \vec{k} . La

population de porteurs est donc représentée par un gaz de porteurs 3D, dont la position et le moment sont parfaitement connus [52].

La connaissance de la fonction de distribution permet alors d'accéder à toutes les grandeurs caractéristiques du système comme la concentration de porteurs, l'énergie des porteurs, la densité de courant ..., grandeurs utiles pour l'analyse du fonctionnement des MOSFETs de très petites dimensions [58].

II-3-2- Equation de transport de Boltzmann (BTE)

L'équation de transport de Boltzmann est le point de départ de la majorité des modèles classiques, le transport électronique dans un matériau semi-conducteur est régi par l'équation de Boltzmann qui établit l'évolution temporelle de la fonction de distribution. Elle s'exprime d'une façon générale sous la forme [59]

$$\partial f(\vec{r}, \vec{k}, t) / \partial t + \vec{v} \cdot \vec{\nabla}_{\vec{r}} f(\vec{r}, \vec{k}, t) + \frac{\vec{F}}{\hbar} \cdot \vec{\nabla}_{\vec{k}} f(\vec{r}, \vec{k}, t) = [\partial f(\vec{r}, \vec{k}, t) / \partial t]_{coll} \quad (\text{II.1})$$

où $\vec{F} = q\vec{E} + q\vec{v} \times \vec{B}$ est la force extérieure appliquée avec \vec{E} et \vec{B} les champs extérieurs électrique et magnétique, $\vec{v} = \frac{1}{\hbar} \cdot \vec{\nabla}_{\vec{k}} \varepsilon(\vec{k})$ avec $\varepsilon(\vec{k})$ étant l'énergie et \hbar la constante de Planck

réduite et où $\left[\frac{\partial f(\vec{r}, \vec{k}, t)}{\partial t} \right]_{coll}$, appelé intégrale de collision, caractérise l'effet des collisions de

toute nature (impuretés, phonons, rugosité de surface ...) des porteurs avec le milieu. Dans la suite de cette étude, nous considérons que le champ magnétique appliqué est nul $\vec{B} = \vec{0}$ afin de ne pas détruire la structure de bandes.

Dans l'équation (II.1), $\partial f(\vec{r}, \vec{k}, t) / \partial t$ correspond à la variation de la fonction de distribution $f(\vec{r}, \vec{k}, t)$ en fonction du temps, et le terme $\vec{v} \cdot \vec{\nabla}_{\vec{r}} f(\vec{r}, \vec{k}, t)$ prend en compte les variations en fonction de l'espace, directement reliées à la vitesse de groupe des porteurs \vec{v} . Enfin, $\frac{\vec{F}}{\hbar} \cdot \vec{\nabla}_{\vec{k}} f(\vec{r}, \vec{k}, t)$ traduit l'effet de la force appliquée \vec{F} sur le vecteur d'onde \vec{k} de porteur.

II-3-2-1- Intégrale de collision

L'intégrale de collision est définie par :

$$\left[\frac{\partial f(\vec{r}, \vec{k}, t)}{\partial t} \right]_{coll} = \sum_{k', i} \left[S_i(\vec{k}', \vec{k}) f(\vec{r}, \vec{k}', t) [1 - f(\vec{r}, \vec{k}, t)] - S_i(\vec{k}, \vec{k}') f(\vec{r}, \vec{k}, t) [1 - f(\vec{r}, \vec{k}', t)] \right] \quad (\text{II.2})$$

où $S_i(\vec{k}', \vec{k})$ représente la probabilité pour qu'un électron, initialement dans d'un état \vec{k}' , soit diffusé dans un état \vec{k} par une interaction de nature i (électron-impureté, électron-phonon), $f(\vec{r}, \vec{k}', t)$ est la probabilité pour que l'état \vec{k}' soit occupé par un électron et $[1 - f(\vec{r}, \vec{k}, t)]$ est la probabilité pour que l'état \vec{k} soit vide.[52].

Ainsi pour un moment donné \vec{k} , la variation de $f(\vec{r}, \vec{k}, t)$ due aux interactions est la somme des probabilités sur chacun des types d'interactions i et sur chacun des moments \vec{k}' , qu'un porteur dans un état \vec{k}' subisse une interaction de type i vers l'état \vec{k} moins la somme des probabilités qu'un porteur dans l'état \vec{k} subisse une interaction i vers un état \vec{k}' .

II-3-2-2- Domaine de validité

Pour utiliser l'équation de transport de Boltzmann à bon escient, il est nécessaire de définir son domaine de validité. En effet, cette description semi-classique du transport repose sur l'hypothèse de séparation des échelles de temps et présente des limitations physiques. Les collisions entre particules sont considérées comme instantanées. Ceci implique l'hypothèse d'une durée de collision négligeable devant le temps séparant deux collisions (sinon, une même particule pourrait se retrouver sous l'influence simultanée de deux centres diffuseurs) ou autrement dit que seules les collisions binaires (collisions entre deux particules) sont considérées. La mécanique quantique n'est utilisée que pour décrire la structure de bandes d'énergie et les collisions, c'est-à-dire seulement pour décrire des phénomènes liés à des variations rapides de potentiel dans le temps ou dans l'espace. La nature ondulatoire des porteurs n'est donc pas prise en compte et ceux-ci sont considérés comme des particules, dont la position et le moment sont parfaitement définis, et dont le mouvement est régi par la mécanique classique de Newton.

II-4- Formalisme des fonctions de Green hors équilibre (NEGF)

Considérons un composant électronique connecté à deux électrodes (la source et le drain dans le MOSFET) dont les potentiels électrochimiques sont μ_1 (gauche) et μ_2 (droite). voir figure II.2. Lorsque μ_1 et μ_2 diffèrent sous l'effet d'une polarisation externe ($\mu_1 - \mu_2 = qV$), le nano-composant est dans un état hors-équilibre et un flux d'électrons traverse alors le système. Lorsqu'on applique une différence de potentiel entre les électrodes, on ne désemplit pas les niveaux des contacts, on les décale tous de façon rigide par modification du potentiel chimique. Chaque contact cherche à amener le nano-composant en équilibre avec lui

en transférant des charges. L'électrode de gauche (la source) injecte des électrons de façon à établir l'équilibre qui ne peut être atteint puisque l'électrode de droite (le drain) reprend des électrons pour établir l'équilibre avec elle. Nous détaillons maintenant ce processus en considérant un nano-composant suffisamment petit pour ne contenir qu'un seul état d'énergie ε_0 situé entre μ_1 et μ_2 . Les taux de transfert à travers les jonctions de gauche et de droite sont alors définis par $\frac{\gamma_1}{\hbar}$ et $\frac{\gamma_2}{\hbar}$ respectivement (figure II.2).

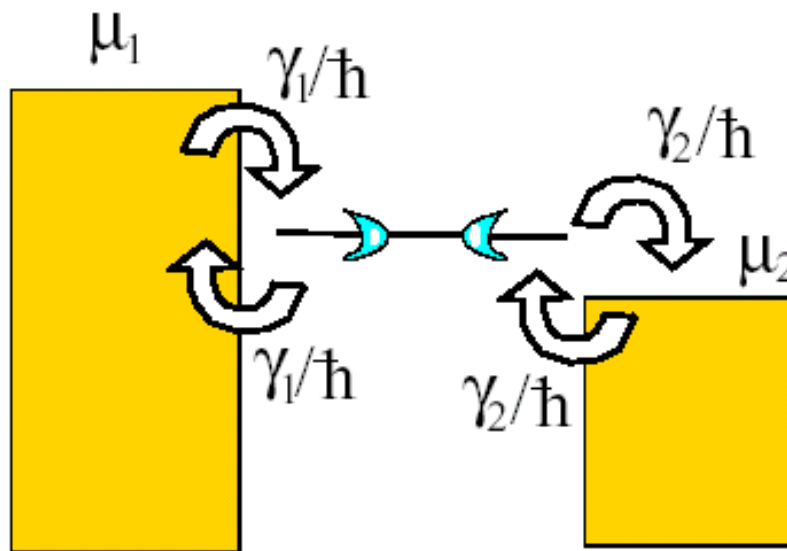


Fig. II.2: Nano-dispositif couplé à deux électrodes semi-infinies (gauche et droite) avec des potentiels électrochimiques μ_1 et μ_2 [62].

II-4-1- Flux de courant à travers un niveau d'énergie discret

Si le niveau était à l'équilibre avec le contact 1, le nombre d'électrons N_1 occupant le niveau serait :

$$N_1 = 2f_1(\varepsilon) \quad (\text{II.3})$$

où :

Le nombre 2 signifie la dégénérescence de spin.

$f_1(\varepsilon)$: La fonction de Fermi-Dirac avec le niveau de Fermi μ_1 du contact 1 :

$$f_1(\varepsilon) = \frac{1}{1 + \exp[(\varepsilon - \mu_1)/k_B T]} \quad (\text{II.4})$$

- k_B : Constante de Boltzmann
- T : la température absolue (en K)

De la même façon, si le niveau était à l'équilibre avec le contact 2, le nombre d'électrons N_2 occupant le niveau serait :

$$N_2 = 2f_2(\varepsilon) \quad (\text{II.5})$$

avec :

$$f_2(\varepsilon) = \frac{1}{1 + \exp[(\varepsilon - \mu_2)/k_B T]} \quad (\text{II.6})$$

Dans les conditions hors équilibre, le nombre moyen d'électrons N se situe entre N_1 et N_2 . Pour déterminer ce nombre, on écrit l'équation du courant net à travers l'électrode 1 :

$$I_1 = \frac{q\gamma_1}{\hbar} (2f_1 - N) = \frac{q\gamma_1}{\hbar} (N_1 - N) \quad (\text{II.7})$$

et le courant net à travers l'électrode (2) :

$$I_2 = \frac{q\gamma_2}{\hbar} (N - 2f_2) = \frac{q\gamma_2}{\hbar} (N - N_2) \quad (\text{II.8})$$

Où :

γ_1, γ_2 Dimension d'une énergie et décrivant le couplage du niveau ε_0 avec l'électrode 1 et 2 respectivement [60].

En régime permanent, la conservation des charges suppose que $I_1 = -I_2 = I$. on obtient alors :

$$N = 2 \frac{\gamma_1 f_1(\varepsilon) + \gamma_2 f_2(\varepsilon)}{\gamma_1 + \gamma_2} \quad (\text{II.9})$$

et le courant I s'exprime alors par :

$$I = I_1 = -I_2 = \frac{2q}{\hbar} \frac{\gamma_1 \gamma_2}{\gamma_1 + \gamma_2} [f_1(\varepsilon) - f_2(\varepsilon)] \quad (\text{II.10})$$

Ayant le niveau d'énergie (ε), le couplage avec les électrodes (γ_1, γ_2) et les potentiels électrochimiques μ_1, μ_2 pour les deux contacts, on peut calculer le courant I .

Le potentiel self-consistant U_{SCF} qui est du à la variation du nombre d'électrons de la valeur à l'équilibre ($f_0 = f(\varepsilon_0, E_f)$) :

$$U_{SCF} = U(N - 2f_0) \quad (\text{II.11})$$

Ce potentiel influe sur le niveau d'énergie par :

$$\varepsilon = \varepsilon_0 + U_{SCF} \quad (\text{II.12})$$

Tant que le potentiel dépend du nombre d'électrons, on a besoin de calculer le potentiel en utilisant la procédure autocohérente. Si on a le nombre d'électrons à l'équilibre, on peut déterminer le potentiel self-consistant U_{SCF} (équation II.11). Ce potentiel est ensuite utilisé pour calculer le nombre d'électrons N à l'aide de l'équation II.9, ce qui permet de trouver une nouvelle valeur du potentiel U_{SCF} . Si la convergence entre les deux valeurs du potentiel est atteinte, on calcule alors le courant en utilisant l'équation II.10 (voir figure II.3).

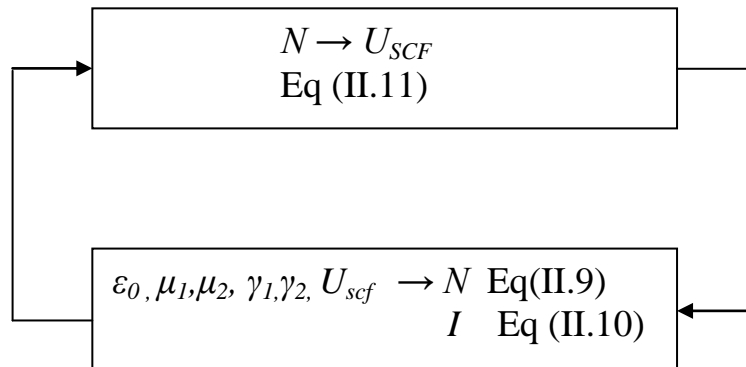


Fig.II.3. Illustration de la procédure autocohérente

L'expression II.10 montre que la différence entre les potentiels chimiques des 2 réservoirs crée un flux continu d'électrons à travers le niveau ε , ce que montre la figure II.4.

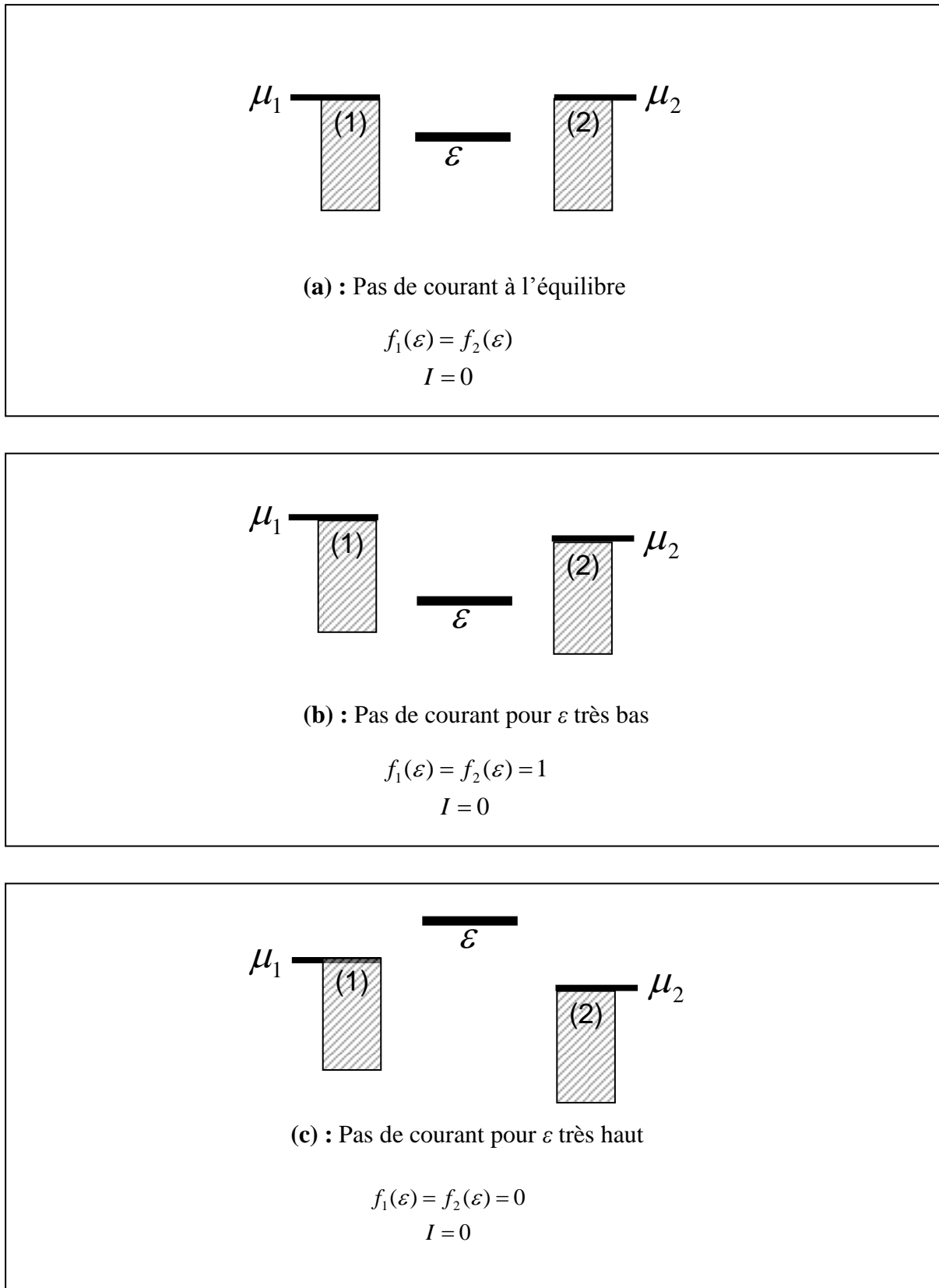


Fig.II.4. Illustration des processus de base de la circulation du courant

II-4-2- Flux de courant à travers un niveau d'énergie élargi

Dans la section précédente, nous avons traité le niveau ε comme discret, et l'élargissement du niveau est une conséquence inéluctable du couplage aux électrodes [53], en conséquence, une partie du niveau d'énergie se retrouve en dehors de la fenêtre d'énergie $[\mu_1, \mu_2]$ limitant le courant voir figure II.5.

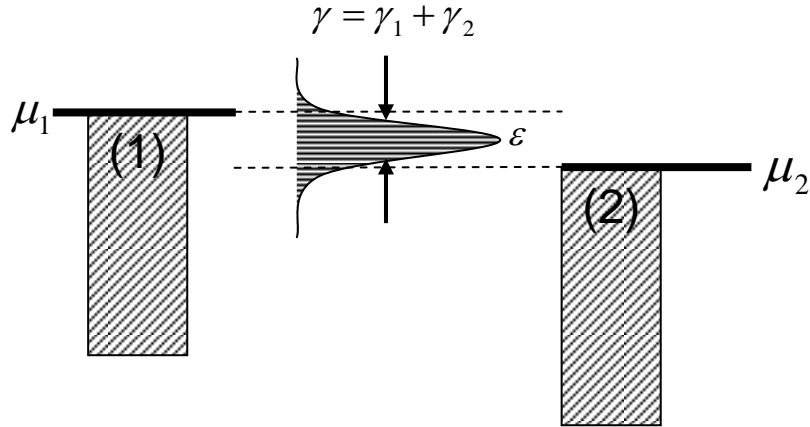


Fig.II.5. Modèle avec élargissement du niveau d'énergie

Pour prendre en compte l'élargissement du niveau d'énergie, on remplace donc le niveau d'énergie discret par une densité d'états Lorentzienne de la forme [62] :

$$D(E) = \frac{1}{2\pi} \frac{\gamma}{(E - \varepsilon)^2 + (\gamma/2)^2} \quad (\text{II.13})$$

Les équations II.9 et II.10 s'en trouvent modifiées sous la forme :

$$N = 2 \int_0^{+\infty} dE D(E) \frac{\gamma_1 f_1(E) + \gamma_2 f_2(E)}{\gamma_1 + \gamma_2} \quad (\text{II.14})$$

$$I = \frac{2q}{\hbar} \int_0^{+\infty} dE D(E) \frac{\gamma_1 \gamma_2}{\gamma_1 + \gamma_2} [f_1(E) - f_2(E)] \quad (\text{II.15})$$

Le potentiel self-consistant U_{SCF} qui est du à la variation du nombre d'électrons de la valeur à l'équilibre $N_0 = 2f_0(E_F)$

$$U_{SC} = U(N - N_0) \quad (\text{II.16})$$

Ce potentiel influe sur le niveau d'énergie par :

$$\varepsilon = \varepsilon_0 + U_{SCF} \quad (\text{II.17})$$

En utilisant une procédure autocohérente (voir figure II.3), de la même façon que la section précédente, où le nombre d'électrons à l'équilibre est $N_0 = 2f_0(E_F)$. On détermine le courant I en utilisant l'équation II.15 quand la convergence est atteinte.

II-4-3- Généralisation à plusieurs niveaux d'énergies (équations NEGF)

Le modèle d'un seul niveau d'énergie discuté dans la section précédente inclut les trois facteurs de base qui influent sur la conduction dans le nanodispositif $E_f - \varepsilon_0$, $\gamma_{1,2}$, et U . Cependant le nanodispositif réel a de multiples niveaux d'énergies qui influent sur l'énergie. Généralement, on a besoin d'un formalisme capable de traiter ce problème. Le formalisme de fonctions de Green hors équilibre (NEGF) décrit dans cette section traite ce cas.

II-4-3-1- Définition de la fonction de Green

L'opérateur de la fonction de Green est défini comme suit :

$$G(E) = \lim_{\gamma \rightarrow 0^+} \frac{1}{E - H + i\gamma} \quad (\text{II.18})$$

Nous pouvons également exprimer G dans une base de vecteurs propres $|\psi_k\rangle$ de l'hamiltonien H :

$$G(E) = \lim_{\gamma \rightarrow 0^+} \sum_k \frac{|\psi_k\rangle\langle\psi_k|}{E - E_k + i\gamma} \quad (\text{II.19})$$

Où E_k est la valeur propre associée à $|\psi_k\rangle$. La fonction de Green, définie à une énergie donnée, possède donc deux entrées (un côté ket et un côté bra) et permet de connecter deux positions de l'espace réel $|r\rangle$ et $|r'\rangle$. La fonction de Green prend alors une forme matricielle dont l'élément s'écrit :

$$G_{r,r'}(E) = \lim_{\gamma \rightarrow 0^+} \sum_k \frac{\langle r|\psi_k\rangle\langle\psi_k|r'\rangle}{E - E_k + i\gamma} = \lim_{\gamma \rightarrow 0^+} \sum_k \frac{\psi(r)\psi(r')}{E - E_k + i\gamma} \quad (\text{II.20})$$

Où :

- $\psi(r)$ et $\psi(r')$ est la fonction propre associée à $\langle r|\psi_k\rangle$ et $\langle\psi_k|r'\rangle$ respectivement.

II-4-3-2-Calcul du courant à l'aide du formalisme des fonctions de Green hors équilibre

Dans la section précédente (II-4-2), nous avons obtenu les équations donnant le nombre d'électrons N et le courant I pour un modèle d'un niveau d'énergie élargi. Réécrivons maintenant ces équations en termes de fonctions de Green $G(E)$ [63]:

$$G(E) = \left(E - \varepsilon + i \frac{\gamma_1 + \gamma_2}{2} \right)^{-1} \quad (\text{II.21})$$

La densité d'états $D(E)$ (équation II.13) est proportionnelle à la fonction spectrale $A(E)$ définie par :

$$\left\{ \begin{array}{l} D(E) = \frac{A(E)}{2\pi} \\ A(E) = -2 \text{Im}[G(E)] \end{array} \right. \quad (\text{II.22})$$

$$\left\{ \begin{array}{l} D(E) = \frac{A(E)}{2\pi} \\ A(E) = -2 \text{Im}[G(E)] \end{array} \right. \quad (\text{II.23})$$

Le nombre d'électrons N (équation II.14) et le courant I (équation II.15) s'écrivent sous la forme :

$$N = \frac{2}{2\pi} \int_0^{+\infty} dE \left(|G(E)|^2 (\gamma_1 f_1(E) + \gamma_2 f_2(E)) \right) \quad (\text{II.24})$$

$$I = \frac{2q}{h} \int_0^{+\infty} dE \gamma_1 \gamma_2 |G(E)|^2 [f_1(E) - f_2(E)] \quad (\text{II.25})$$

Dans le formalisme des fonctions de Green, le niveau d'énergie ε est remplacé par l'Hamiltonien $[H]$ et γ_1, γ_2 par la matrice des self-énergies $[\Sigma_1(E)], [\Sigma_2(E)]$, donc la fonction de Green devient une matrice donnée par :

$$G(E) = (EI - H - \Sigma_1 - \Sigma_2)^{-1} \quad (\text{II.26})$$

où I est une matrice identité de la même taille que les autres matrices de la fonction de Green et les matrices Γ_1, Γ_2 sont respectivement définies par les parties imaginaires du Σ_1 et Σ_2 :

$$\Gamma_1 = i(\Sigma_1 - \Sigma_1^T) \text{ et } \Gamma_2 = i(\Sigma_2 - \Sigma_2^T) \quad (\text{II.27})$$

La fonction spectrale est la partie anti-Hermitienne de la fonction de Green :

$$A(E) = i[G(E) - G^T(E)] \quad (\text{II.28})$$

La densité d'états $D(E)$ est calculée par :

$$D(E) = \frac{\text{Tr}(AI)}{2\pi} \quad (\text{II.29})$$

Le nombre d'électrons N (équation II.24) s'écrit.

$$N = \frac{2}{2\pi} \int_0^{+\infty} dE \left(f_1(E) \gamma_1 |G(E)|^2 + f_2(E) \gamma_2 |G(E)|^2 \right) \quad (\text{II.30})$$

On obtient la matrice densité $[\rho]$ en remplaçant γ_1 et γ_2 par Γ_1 et Γ_2 respectivement.

$$\rho = \frac{1}{2\pi} \int_0^{+\infty} \left[f_1(E) G \Gamma_1 G^T + f_2(E) G \Gamma_2 G^T \right] dE \quad (\text{II.31})$$

Le nombre d'électrons total N est alors :

$$N = \text{Tr}(\rho I) \quad (\text{II.32})$$

Par comparaison avec l'équation (II.25), on obtient le courant I :

$$I = \frac{2q}{h} \int_0^{+\infty} \left[\text{Tr}(\Gamma_1 G \Gamma_2 G^T) (f_1(E) - f_2(E)) \right] dE \quad (\text{II.33})$$

où G^T est la matrice transposée de G

Les équations II.26 à II.33 constituent les équations de base du formalisme de fonctions de Green hors équilibre (NEGF) qui sont résolues par une procédure self-consistante (voir figure II.3), à partir du calcul de la matrice du potentiel autocohérent $[U_{SC}]$:

$$H \rightarrow H + U_{SC} \quad (\text{II.34})$$

où U_{SC} dépend de la matrice densité ρ :

$$U_{SC} = F(\rho) \quad (\text{II.35})$$

Cette procédure autocohérente est utilisée pour calculer le courant I .

Nous avons étudié dans les paragraphes précédents, le passage du flux de courant d'un système à 1 seul niveau d'énergie vers un système plus réaliste (plusieurs niveaux d'énergies), dans lequel les grandeurs représentées par des nombres le seront par des matrices.

$$\varepsilon_0 \rightarrow [H] \quad \text{Matrice de l'Hamiltonien} \quad (\text{II.36})$$

$$\gamma \rightarrow [\Gamma], [\Sigma] \quad \text{Self énergies} \quad (\text{II.37})$$

$$D(E) \rightarrow [G(E)] \quad \text{Fonctions de Green} \quad (\text{II.38})$$

$$N \rightarrow [\rho] \quad \text{Densité d'électrons} \quad (\text{II.39})$$

$$U_{SC} \rightarrow [U_{SC}] \quad \text{Potential auto-cohérent} \quad (\text{II.40})$$

II-5- Conclusion

Dans ce chapitre, nous avons étudié le transport électronique par une approche semi-classique basée sur l'équation de transport de Boltzmann. Ensuite nous avons étudié le transport électronique à l'aide du formalisme des fonctions de Green hors-équilibre qui constitue une méthode très efficace capable d'étudier un large éventail de systèmes : depuis ceux faiblement couplés jusqu'à ceux présentant un continuum d'énergie (MOSFETs). Dans le chapitre suivant, nous utiliserons ce formalisme pour décrire le transport balistique et traiter l'influence des effets quantiques dans le nano-MOSFET double grille.

Chapitre III : Modélisation du transport quantique dans un nano-MOSFET double grille.

III-1- Introduction

Le MOSFET atteint aujourd'hui des dimensions nanométriques. De par ces très faibles dimensions, des phénomènes physiques qui, auparavant étaient inexistantes ou négligeables deviennent désormais prédominants (transport hors-équilibre, transport balistique, effets quantiques ...). Ces phénomènes modifient sensiblement les propriétés de transport des matériaux. Donc, les méthodes classiquement utilisées deviennent par conséquent inadaptées à la prévision des limites technologiques de fabrication des circuits intégrés nanométriques. Il convient donc de développer des modèles capables de quantifier l'impact de ces phénomènes sur le fonctionnement et les performances des dispositifs. Dans ce contexte, le formalisme des fonctions de Green hors-équilibre (NEGF) constitue une méthode pertinente pour décrire le comportement quantique des nano transistors.

L'objectif de ce chapitre est de modéliser à l'aide du formalisme des fonctions de Green hors équilibre (NEGF) le transport quantique dans un nano-MOSFET double-grille (DG MOSFET). Nous utilisons l'approche de l'espace des modes (pour l'anglais "mode-space"), qui consiste à séparer le traitement des effets du confinement transverse de celui du transport électronique le long de l'axe source-drain. Une information exacte de la distribution des charges dans le canal exige la résolution du système d'équations Schrödinger-Poisson qui permet de calculer le courant balistique avec le formalisme des fonctions de Green (NEGF).

III-2- Présentation de la structure

La structure de base du MOSFET double grille utilisé dans notre étude (figure III.1) est caractérisé par un dopage homogène de type n de 2×10^{20} at/cm³ dans la source et le drain (pour comparer à des travaux existants avec le même taux de dopage), le canal est intrinsèque, la longueur de grille L_G vaut 10 nm et les dimensions transverses sont : épaisseur de silicium $T_{Si} = 3$ nm, épaisseur de l'oxyde de grille $T_{ox} = 1$ nm. Les deux directions x et z sont décrites par un maillage de pas égal à a et b respectivement.

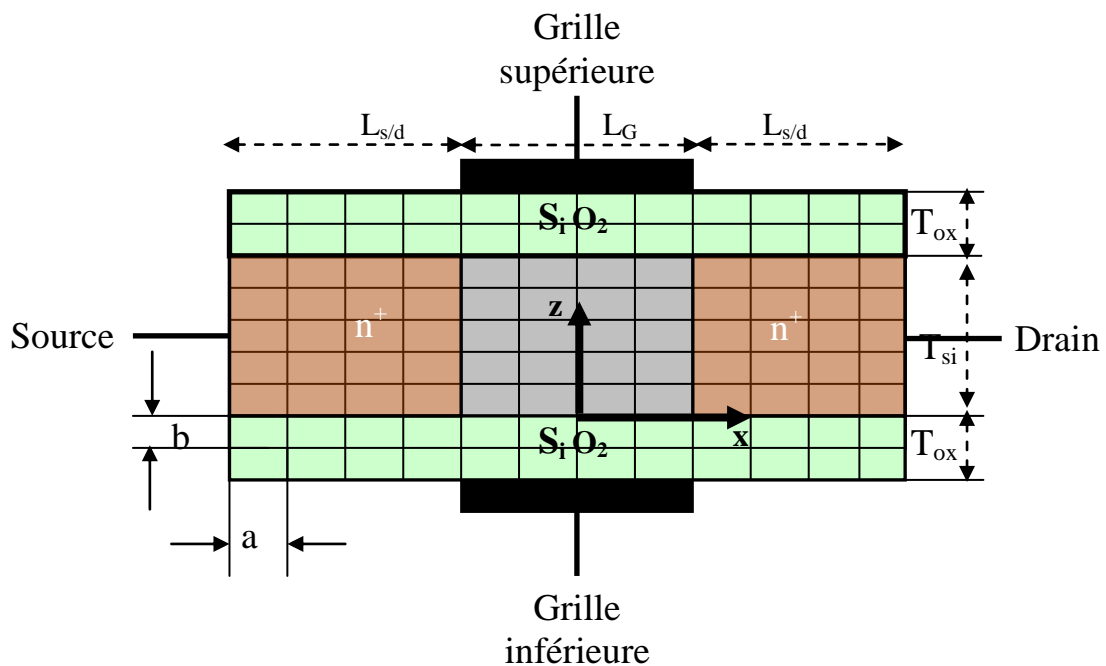


Fig. III.1. Structure d'un nano-MOSFET double grille.

III-3- Effet du confinement quantique

Les prévisions des industriels indiquent que la structure SOI ("Silicon-On-Insulator") de par sa bonne immunité contre les effets canaux courts, pourrait être le dispositif des futures technologies CMOS. Néanmoins, la diminution de la longueur de grille d'une génération de transistors à une autre, s'accompagne également de la réduction des dimensions transverses afin de contenir la progression des effets canaux courts. Le confinement des porteurs de charges dans la section transversale qui en résulte induit une quantification des états perpendiculaires et une distribution de ces derniers en sous-bandes. Ce comportement modifie

ostensiblement les caractéristiques électriques des MOSFETs double grille à canaux courts et l'évaluation quantitative de son impact constitue une donnée essentielle.

III-4- Modélisation du transport balistique quantique

Le transport dans le canal est décrit dans le régime balistique, lorsque la distance entre la source et le drain est inférieure au libre parcours moyen des porteurs (20 nm dans le silicium intrinsèque), c'est-à-dire que l'ensemble des porteurs ne subit aucune collision dans le canal. Le courant balistique est calculé en résolvant le système d'équations Schrödinger-Poisson, en utilisant le formalisme NEGF

III-4-1- Résolution de l'équation de Schrödinger 2 D

Lorsque les porteurs de charges sont confinés dans la direction verticale, on peut découpler l'équation de Schrödinger 2D en deux équations 1D dans la direction verticale (z) et la direction longitudinale (x). La résolution de l'équation de Schrödinger 1D nous permet d'obtenir les niveaux d'énergies et les fonctions d'ondes. Donc l'équation de Schrödinger 2D à résoudre dans le domaine x-z est donnée par :

$$-\frac{\hbar^2}{2m_x^*} \frac{\partial^2}{\partial x^2} \psi(x, z) - \frac{\hbar^2}{2m_z^*} \frac{\partial^2}{\partial z^2} \psi(x, z) - qV(x, z)\psi(x, z) = E\psi(x, z) \quad (\text{III.1})$$

Où :

- \hbar : Constante de Planck réduite.
- $V(x, z)$: Le potentiel électrostatique.
- E : Energie dans le canal.
- $\psi(x, z)$: La fonction d'onde.
- m_x^* et m_z^* : La masse effective de l'électron dans les directions longitudinale "x" ($0.91m_0$) et verticale "z" ($0.19m_0$) respectivement [57,86].

Si un champ électrique extérieur appliqué aux électrons d'un semiconducteur, ceux-ci se déplacent sous l'action conjuguée des forces dues à ce champ extérieur, et au champ électrique créé par le réseau cristallin. Il en résulte que l'électron semble avoir une masse effective m^* différente de sa masse réelle. Cette masse effective est un concept très utile qui permet de décrire une bande au voisinage de son minimum d'énergie.

On peut donc définir une masse effective pour tous les minima de cette bande (il y a 6 minima répartis en deux groupes équivalents) et pour chaque direction si la bande considérée n'est pas isotrope (la propriété d'être dépendant de la direction). Ainsi, sont définies pour la bande de conduction, une masse transverse $m_t^* = 0.19m_0$ correspondant à la masse effective selon le grand rayon de courbure et une masse longitudinale $m_l^* = 0.91m_0$ correspondant au faible rayon de courbure [68,69,86].

Les fonctions d'ondes sont égales à zéro à l'interface oxyde /Si dans le cas où, la pénétration des électrons dans l'oxyde est négligeable (autrement, la frontière zéro est prolongée aux interfaces de contact de grille/oxyde).

III-4-1-1- L'approche "espace des modes"

Pour étudier de manière efficace les effets quantiques, l'approche "espace des modes" ou « mode-space » est très répandue. Elle a pour objectif de découpler l'équation de Schrödinger 2D stationnaire.

La résolution quantique exacte de systèmes 2D nécessite un outil de calcul numérique très puissant, et un temps de calcul très grand. L'approche de l'espace des modes permet de transformer sous certaines conditions un problème 2D en des problèmes 1D indépendants. La section suivante décrit l'approche "espace des modes" et définit son domaine de validité.

III-4-1-2- Avantages de l'approche d'espace des modes

Du point de vue calcul, la taille du problème est mesurée par la taille de l'hamiltonien. Dans une représentation par l'espace réel, la taille de l'hamiltonien est définie par le nombre total de nœuds à 2D donné par $(N_x \times N_z)^2$. Or, dans la représentation de l'espace des modes, chaque sous-bande est traitée individuellement et la taille de l'hamiltonien est mesurée par le nombre de nœuds dans la direction du canal donné par $(N_x)^2$ [69]. Donc il est très clair que la dernière approche réduit considérablement le temps de calcul [71, 72, 73].

Une représentation en espace des modes est utilisée pour la résolution de l'équation de Schrödinger dans la direction de confinement (z). Cette approche, réduit considérablement la taille du problème de la discrétisation spatiale 2D et fournit des très bons résultats [64,65,66,]. Dans cette section, nous développons l'équation de Schrödinger en utilisant la

représentation d'espace des modes, par la multiplication des deux membres de l'équation de Schrödinger par l'opérateur de l'espace des modes $[\delta(x-x')\varphi_i^*(x,z)]$.

Où :

- * est le conjugué de la fonction.
- $\varphi_i^*(x,z)$: Les fonctions d'ondes (sous bandes) associées a la direction du confinement (z)
- i : désigne le nombre de sous bandes.

L'expression (III.1) devient :

$$\begin{aligned} & \int [\delta(x-x')\varphi_i^*(x,z)] \cdot \left[-\frac{\hbar^2}{2m_x^*} \frac{\partial^2}{\partial x^2} \psi(x,z) \right] dx dz \\ & + \int [\delta(x-x')\varphi_i^*(x,z)] \cdot \left[-\frac{\hbar^2}{2m_z^*} \frac{\partial^2}{\partial z^2} - qV(x,z) \right] \psi(x,z) dx dz \\ & = E \int [\delta(x-x')\varphi_i^*(x,z)] \cdot \psi(x,z) dx dz \end{aligned} \quad (III.2)$$

D'après les propriétés de la fonction δ de Dirac, le membre de droite de l'équation (III.2) devient :

$$E \int \varphi_i^*(x',z) \psi(x',z) dz = E \tilde{\psi}_i(x') \quad (III.3)$$

où $\tilde{\psi}_i(x')$ est le coefficient d'expansion de la fonction $\psi(x',z)$ par le vecteur de l'espace des modes $\varphi_i(x',z)$ est définie par [67] :

$$\psi(x',z) = \sum_{i=1}^{\infty} \tilde{\psi}_i(x') \varphi_i(x',z), \text{ et } \int \varphi_i^*(x',z) \varphi_j(x',z) dz = \delta_{ij} \quad (III.4)$$

et δ_{ij} est le symbole de Kronecker. Le deuxième terme de l'équation (III.2) s'écrit de même:

$$\int \varphi_i^*(x',z) \cdot \left[-\frac{\hbar^2}{2m_z^*} \frac{\partial^2}{\partial z^2} - qV(x',z) \right] \psi(x',z) dz = E_i(x') \tilde{\psi}_i(x') \quad (III.5)$$

De la même façon, le premier terme s'écrit :

$$\int \delta(x-x') \varphi_i^*(x,z) \left[-\frac{\hbar^2}{2m_x^*} \frac{\partial^2}{\partial x^2} \psi(x,z) \right] dx dz = -\frac{\hbar^2}{2m_x^*} \frac{\partial^2}{\partial x'^2} \tilde{\psi}_i(x') \quad (III.6)$$

Donc l'équation (III.2) devient :

$$-\frac{\hbar^2}{2m_x^*} \frac{\partial^2}{\partial x'^2} \tilde{\psi}_i(x') - E_i(x') \tilde{\psi}_i(x') = E \tilde{\psi}_i(x') \quad (\text{III.7})$$

Où :

- E : l'énergie longitudinale.

L'équation (III.7) est la transformée par l'espace des modes de l'équation (III.1) où on peut voir une réduction du problème 2D à un problème 1D.

III-4-1-3- Calcul de la représentation matricielle de l'Hamiltonien (H)

Tout d'abord, on commence par la résolution de l'équation de Schrödinger (méthode des différences finies) suivant la direction du confinement (z) pour chaque tranche x .

$$-\frac{\hbar^2}{2m_z^*} \frac{\partial^2}{\partial z^2} \varphi_i(x, z) - qV(x, z) \varphi_i(x, z) = E_i(x) \varphi_i(x, z) \quad (\text{III.8})$$

- $E_i(x)$ et $\varphi_i(x, z)$: représentent l'énergie et la fonction d'onde pour la sous bande i à la tranche x respectivement.

Puis, on résout l'équation de Schrödinger suivant la direction x (Eq. III.7) par la méthode de différences finies pour déterminer l'hamiltonien H (III.10).

Dans cette étude, le développement de l'opérateur H , est basé sur l'approximation de la masse effective des électrons (trous), approximation appliquée aux semiconducteurs pour décrire le voisinage du minimum de bande de conduction. Dans ce cas, la masse effective est inversement proportionnelle à la courbure de bandes à chaque minimum de la bande de conduction (de valence) :

$m^* = \left| \frac{\hbar^2}{\partial^2 E / \partial k^2} \right|$ avec E l'énergie des porteurs, k leur vecteur d'onde

et \hbar la constante de Planck réduite. Faire cette hypothèse permet de traiter la bande de conduction (valence) (à proximité du minimum au moins) comme une bande parabolique de la forme:

$$E = \frac{\hbar^2 k^2}{2m^*} \quad (\text{III.9})$$

L'Hamiltonien de l'équation (III.7) pour le mode i après la discrétisation par la méthode des différences finies [70] est donné comme une matrice tridiagonale:

$$H = \begin{bmatrix} 2t - E_i(1) & -t & \dots & 0 & 0 \\ -t & 2t - E_i(2) & \dots & \dots & 0 \\ 0 & \dots & \dots & \dots & \vdots \\ \vdots & \dots & \dots & \dots & -t \\ 0 & 0 & \dots & -t & 2t - E_i(N_x) \end{bmatrix} \quad (\text{III.10})$$

où

- E_i : l'énergie potentielle pour la sous-bande i
- L'index de la sous-bande i varie suivant le nombre de sous-bandes.
- N_x est le nombre des points de la grille de discrétisation (Figure. III.1),
- t est l'énergie de couplage entre les points suivant x et est donné par [66]:

$$t = \frac{\hbar^2}{2m_x^* a^2} \quad (\text{III.11})$$

où

- a : est le pas de discrétisation
- m_x^* : la masse effective longitudinale de l'électron

III-5- Calcul des fonctions de Green et self-énergies

III-5-1- Calcul des fonctions de Green

Le formalisme des fonctions de Green hors-équilibre (NEGF) constitue une méthode pertinente pour décrire les effets quantiques des nano-transistors, et permet de décrire les propriétés électriques et physiques du canal (plus particulièrement le courant et les charges) alors que le reste du système (oxydes et grilles) est traité classiquement d'un point de vue électrostatique. Il est particulièrement pertinent pour décrire des systèmes ouverts dont font partie les nano-structures connectées à des contacts semi-infinis [74,]. En effet, les fonctions de Green permettent de se concentrer sur la partie active du composant et de remplacer l'influence des contacts externes par des self-énergies. Le concept de self-énergie peut également servir à décrire les interactions électron-électron et électron-phonon [64].

Définissons tout d'abord la matrice G de la fonction de Green retardée qui est la réponse (propagation) du système suite à une son excitation selon l'axe source-drain par une énergie E . Pour la sous-bande i , G est donnée par [72]:

$$G(E) = [EI - H - \Sigma_S - \Sigma_D]^{-1} \quad (\text{III.12})$$

où

- Σ_S et Σ_D : sont les self-énergies de la source et du drain respectivement.
- E : l'énergie longitudinale (x).
- I : la matrice identité.
- H : représente la matrice de l'hamiltonien du système donné par l'expression (III.10)

III-5-2- Self-énergies

La matrice des self-énergies est décrite par Σ_S et Σ_D qui représentent l'effet du couplage du nano-composant (dans notre structure, c'est le canal) à un réservoir (drain ou source). Cet effet peut être simplement décrit en ajoutant une self-énergie Σ à l'hamiltonien H (voir figure III.2). Il s'agit d'un concept très général permettant d'éliminer les grands réservoirs et de travailler exclusivement dans le sous-espace de la zone active dont les dimensions sont nettement plus petites[75].

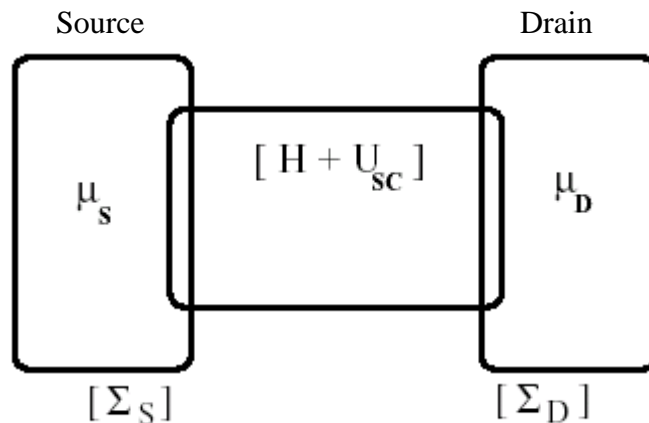


Fig. III.2 . Couplage du canal avec la source et le drain

La matrice des self-énergies des contacts modélise l'élargissement des niveaux d'énergie du système fini lors du couplage avec les réservoirs d'électrons.

On a :

$$\Sigma = \Sigma_S + \Sigma_D \quad (\text{III.13})$$

Donc :

$$\Sigma = \begin{bmatrix} \Sigma_S & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & . & . & . & 0 \\ 0 & 0 & . & . & . & 0 \\ 0 & 0 & . & . & 0 & \Sigma_D \end{bmatrix} \quad (\text{III.14})$$

La matrice des self-énergies dans notre cas peut être donnée en fonction de l'énergie longitudinale E_l (équations III.14.a et b). Les self-énergies de la source et du drain s'expriment de la façon suivante. Elles correspondent à l'injection d'une onde plane dans la zone active [76,77]:

$$\Sigma_S(E) = -t_x e^{ik_{l,1}a}, \text{ où } E = E_i(1) + 2t(1 - \cos k_l a) \quad (\text{III.14.a})$$

$$\Sigma_D(E) = -t_x e^{ik_{l,N_x}a}, \text{ où } E = E_i(N_x) + 2t(1 - \cos k_l a) \quad (\text{III.14.b})$$

Donc :

$$\Sigma_S + \Sigma_D = \begin{bmatrix} -t_x e^{ik_{l,1}a} & 0 & 0 & 0 & 0 & 0 \\ 0 & 0 & . & . & . & 0 \\ 0 & 0 & . & . & . & 0 \\ 0 & 0 & . & . & 0 & -t_x e^{ik_{l,N_x}a} \end{bmatrix} \quad (\text{III.15})$$

avec :

$$t_x = \frac{\hbar^2}{2m_x^* a^2}$$

III-6- Calcul de la densité d'électrons

Une fois la fonction de Green retardée est calculer, la densité d'électrons et le courant de drain sont déterminés par les équations (III.16, III.17).

III-6-1- Fonctions des self-énergies

Ces fonctions représentent la force d'interaction entre les réservoirs (la source ou le drain) et la zone active (le canal) [72].

$$\Gamma_S = i(\Sigma_S - \Sigma_S^T) \text{ et } \Gamma_D = i(\Sigma_D - \Sigma_D^T) \quad (\text{III.16})$$

Où :

- Σ_S^T est la matrice transposée de Σ_S
- Σ_D^T est la matrice transposée de Σ_D

III-6-2- Fonctions spectrales

Les fonctions de la densité spectrale des contacts s'expriment alors par :

$$A_S = G \Gamma_S G^T \quad \text{et} \quad A_D = G \Gamma_D G^T \quad (\text{III.17})$$

où G^T est la matrice transposée de G

On note que les fonctions spectrales sont des matrices ($N_x \times N_x$) et les termes diagonaux représentent la densité locale d'états pour chaque nœud [72].

Bien que le système soit dans un état hors-équilibre, les électrons injectés depuis les réservoirs de la source et du drain conservent leur distribution initiale (transport balistique).

La matrice de la densité d'électrons 2D (le long de l'axe source-drain) s'écrit [72]:

$$n(E_l) = \frac{1}{2\pi a} \int_0^{+\infty} D \times [F(\mu_S - E_l - E_{k_j}) A_S + F(\mu_D - E_l - E_{k_j}) A_D] \cdot dE_{k_j} \quad (\text{III.18})$$

où

$$D = \frac{2}{\pi \hbar} \sqrt{\frac{m_y^*}{2E_{k_j}}} : \text{représente la densité d'états transversale (inclue la dégénérescence de spin)}$$

La fonction $F(\mu - E)$ est la distribution de Fermi Dirac donnée par :

$$F(\mu - E) = \frac{1}{1 + e^{(\mu - E)/K_B T}} \quad (\text{III.19})$$

- μ_S et μ_D : représentent le niveau de Fermi de la source et drain respectivement

La fonction spectrale dépend de l'énergie longitudinale seulement, et peut être déplacée en dehors de l'intégrale, donc l'équation (III.18) se réduit à :

$$n(E_l) = \frac{1}{a} \sqrt{\frac{m_y^* k_B T}{2\pi^3 \hbar^2}} \times [F_{-1/2}(\mu_S - E_l) A_S + F_{-1/2}(\mu_D - E_l) A_D] \quad (\text{III.20})$$

où $F_{-1/2}$ est l'intégrale de Fermi-Dirac qui prend en compte la contribution des modes transverses [78].

III-7- Autocohérence

La densité d'électrons n est donnée par les éléments diagonaux de la matrice densité, et dépend du potentiel V de la structure (car l'Hamiltonien H dépend du potentiel V), donc la densité d'électrons rétro-agit ensuite sur l'équation de Poisson 2D, ce qui donne un système auto-cohérent.

III-8- Résolution de l'équation de Poisson

La résolution numérique est obtenue à partir de la relation l'équation de Poisson suivante :

$$\Delta V = -\frac{\rho}{\varepsilon} = -\frac{q[p - n + N_D - N_A]}{\varepsilon} \quad (\text{III.21})$$

Où :

- V : est le potentiel électrostatique
- ρ : la densité de charges
- p : la concentration des trous
- n : la concentration des électrons
- N_D : concentration d'atomes donneurs
- N_A : concentration d'atomes accepteurs
- q : la charge d'électron
- ε : constante diélectrique du matériau

La solution d'un tel système peut s'obtenir en maillant le domaine étudié en $N_x \times N_z$ nœuds, où N_x et N_z représentent le nombre de nœuds suivant les directions x et z respectivement. La solution 2D de l'équation de Poisson est ainsi composée de $N_x \times N_z$ valeurs de potentiels initialement inconnus correspondant à chaque nœud du réseau. Pour atteindre $N_x \times N_z$ inconnus, on a besoin du même nombre d'équations.

Le canal est connecté à deux réservoirs dopés n^+ . Néanmoins, la résolution de l'équation de Poisson se limite à la région du canal et de ses oxydes, le potentiel étant considéré constant au delà de ces régions. On conserve ainsi à l'équilibre ($V_G = V_{DS} = 0V$), une barrière de potentiel entre la source et le drain due aux jonctions source ou drain dopé n^+ et le canal intrinsèque, tout en négligeant la pénétration du potentiel du canal dans les contacts (hypothèse des réservoirs parfaitement conducteurs présentant des réflexions aux interfaces). Afin d'obtenir un système fermé d'équations, nous devons appliquer l'équation

(III.21) (dans laquelle les termes N_A , N_D et p sont maintenant nuls) aux nœuds internes et utiliser des conditions particulières aux limites pour les nœuds frontaliers.

III-8-1- Résolution numérique

III-8-1-1- Aux nœuds internes

Etudions tout d'abord le cas d'un nœud interne quelconque $[m, n]$ (ligne m et colonne n) de la figure (III.3). L'approximation des différences finies pour les dérivées spatiales réduit l'équation (III.21) sous la forme suivante:

$$\frac{1}{b^2}V_{m-1,n} + \frac{1}{a^2}V_{m,n-1} - 2\left(\frac{1}{b^2} + \frac{1}{a^2}\right)V_{m,n} + \frac{1}{a^2}V_{m,n+1} + \frac{1}{b^2}V_{m+1,n} = -\frac{1}{\varepsilon}q(N_D - N_A - n + p)_{m,n} \quad (III.22)$$

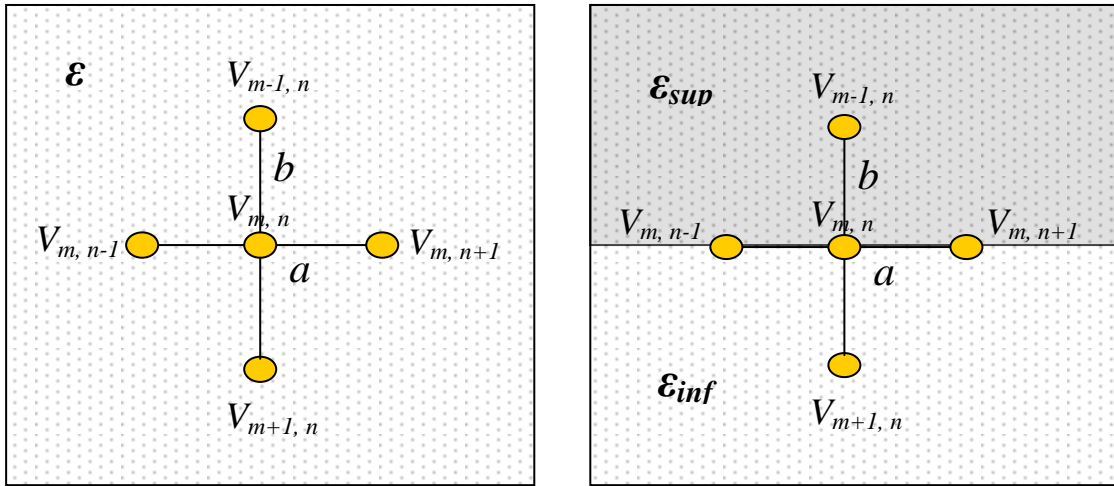


Figure III.3. Discretisation de l'équation de Poisson par différences finies.

- a) Dans un matériau homogène de constante diélectrique ε .
- b) à l'interface entre deux matériaux de constantes diélectriques distinctes ε_{sup} et ε_{inf} .

III-8-1-2- Condition aux limites

Suivant que le nœud $[m, n]$ se situe dans les oxydes ou le silicium, la constante diélectrique ε est ε_{SiO_2} ou ε_{Si} . Dans le cas où le nœud est positionné sur une interface Si/SiO_2 (voir figure III.3), la continuité de la composante perpendiculaire $\varepsilon \vec{E}$ s'écrit:

$$\varepsilon_{sup} E_{sup} = \varepsilon_{inf} E_{inf} \quad (III.23)$$

et également sous la forme[79]:

$$\varepsilon_{\text{sup}} \left(\frac{\partial V}{\partial z} \right)_{\text{sup}} = \varepsilon_{\text{inf}} \left(\frac{\partial V}{\partial z} \right)_{\text{inf}} \quad (\text{III.24})$$

où

- ε_{sup} : Constante diélectrique pour le matériau au-dessus de l'interface
- ε_{inf} : Constante diélectrique pour le matériau au dessous de l'interface

En utilisant les notations de la figure (III.3b), nous obtenons:

$$(4V_{m-1,n} - 3V_{m,n} - V_{m-2,n})\varepsilon_{\text{sup}} = (4V_{m+1,n} - 3V_{m,n} - V_{m+2,n})\varepsilon_{\text{inf}} \quad (\text{III.25})$$

Les conditions aux limites de Dirichlet (fonctions aux nœuds aux électrodes de grilles) sont imposées sur les nœuds appartenant au contour de la structure. L'équation à laquelle doit satisfaire le potentiel de grille est donc :

$$V_{m,n} = V_G - V_{FB} \quad (\text{III.26})$$

Où :

- V_{FB} est la tension de bande plate traduisant la différence du travail de sortie entre le métal de grille et le silicium.

Les potentiels des extrémités latérales du canal (qui traduit le début des réservoirs), respectent les égalités suivantes :

$$V_{m,n} = V_S = 0V \quad (\text{III.27})$$

$$V_{m,n} = V_D = V_{DS} \quad (\text{III.28})$$

Connaissant la charge électronique n , les équations (III.21), (III.22), (III.25), (III.26) et (III.27) constituent un système linéaire dont la résolution peut s'effectuer directement [60].

III-9- Calcul du courant de drain

Lorsque la convergence est atteinte (voir figure III.4), le courant de la source vers le drain dans le régime balistique est calculé en fonction du coefficient de transmission. Le coefficient de transmission de la source au drain est donné par la fonction de Green [72].

$$T_{SD} = Tr[\Gamma_S G \Gamma_D G^T] \quad \equiv \quad T_{SD} = Tr[\Gamma_S A_D] \quad (\text{III.29})$$

Le courant transmis dans le canal s'écrit alors :

$$I(E_l) = \frac{q}{h} \int_0^{+\infty} D \times [f(\mu_S - E_l - E_{k_j}) - f(\mu_D - E_l - E_{k_j}) A_D] Tr[\Gamma_S A_D] \cdot dE_{k_j} \quad (\text{III.30})$$

On note que T_{SD} est indépendant de l'énergie transverse, il peut être déplacé en dehors de l'intégrale, donc l'équation (III.30) se réduit à :

$$I(E_l) = \frac{q}{h^2} \sqrt{\frac{m_y^* k_B T}{2\pi^3}} \times [F_{-1/2}(\mu_S - E_l) - F_{-1/2}(\mu_D - E_l)] Tr[\Gamma_S A_D](E_l) \quad (\text{III.31})$$

III-10- La boucle d'auto-cohérence

La boucle d'auto cohérence consiste à résoudre l'équation de Schrödinger, exprimée dans le formalisme des fonctions de Green, et à la coupler avec l'équation de Poisson. Le terme de résolution Schrödinger-Poisson couplée prend donc tout son sens. Les deux équations sont dépendantes l'une de l'autre.

La méthode de résolution peut donc être la suivante : une valeur arbitraire du potentiel électrostatique V_1 est injectée dans l'équation de Schrödinger (III.8). Les niveaux énergétiques ainsi que les fonctions d'onde sont déterminés, puis la densité de porteurs n déterminée à l'aide de l'équation (III.20). La densité d'électrons est à son tour injectée dans le second membre de l'équation de Poisson (III.21), ce qui finalement aboutit à une nouvelle valeur du potentiel électrostatique V_2 . Ceci constitue l'algorithme de résolution du système. Si cette nouvelle valeur V_2 diffère de V_1 de plus de 10^{-3} V, l'algorithme est itéré jusqu'à ce que l'écart soit inférieur à 10^{-3} V entre deux itérations (voir figure III.4). A ce moment, la convergence est atteinte, 10^{-3} V constitue le critère de convergence et le système est dit auto-cohérent.

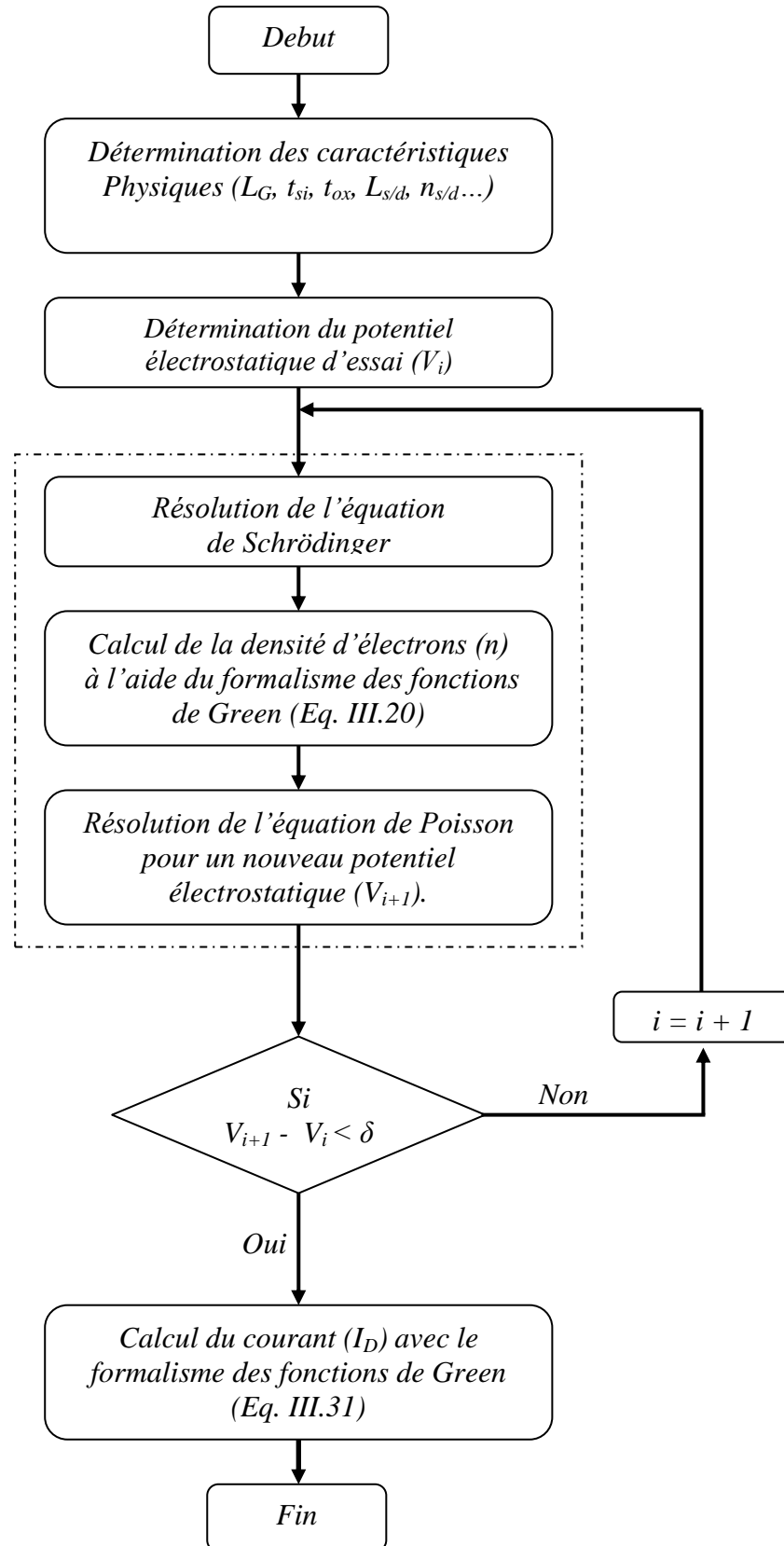


Figure III.4 : Organigramme de résolution numérique du transport quantique. L'indice i représente le nombre d'itérations de la boucle Schrödinger-Poisson.

III-11- Conclusion

Dans ce chapitre, nous avons présenté une modélisation quantique du transport balistique dans un nano-MOSFET double grille basée sur le formalisme des fonctions de Green hors-équilibre (NEGF). Nous avons utilisé l'approximation de l'espace des modes qui consiste à séparer l'équation de Schrödinger 2D en une équation 1D traitant le confinement transverse et une équation 1D décrivant le transport quantique suivant l'axe source-drain. Le chapitre suivant sera consacré dans sa plus grande partie à la simulation du transport quantique en tenant compte des effets dominants dans notre structure.

Chapitre IV :

Résultats et discussions

IV-1- Introduction

Le transport balistique est un sujet d'une grande actualité dans la mesure où les dispositifs MOS fonctionneront près de la limite balistique. Par conséquent, la compréhension des mécanismes physiques et la modélisation du transport balistique sont d'une importance primordiale pour la conception optimale des dispositifs MOS du futur. Un des dispositifs les plus prometteurs pour atteindre le transport balistique est la structure double grille, du fait de son canal faiblement dopé et de son aptitude à mieux contrôler les effets de canal court.

L'objectif de ce chapitre est précisément de simuler à l'aide du formalisme des fonctions de Green le nano-MOSFET double grille. Nous explorons la dépendance des performances électriques aux variations des différents paramètres afin d'évaluer les capacités et les limites d'intégration de cette architecture.

IV-2- Présentation du dispositif simulé

Le MOSFET double-grille est représenté schématiquement sur la figure III.1, avec un dopage de la source et du drain de l'ordre de $n_{s/d} = 2 \cdot 10^{20} \text{ at/cm}^3$, et un canal intrinsèque. La structure symétrique est caractérisée par deux grilles métalliques identiques de longueur $L_G = 10 \text{ nm}$, un épaisseur du canal de silicium $T_{si} = 3 \text{ nm}$, l'épaisseur d'oxyde (SiO_2) $T_{ox} = 1 \text{ nm}$, la longueur de la région source/drain $L_{s/d} = 7.5 \text{ nm}$, le constant diélectrique de l'oxyde $\epsilon_{\text{SiO}_2} = 3.9$, et du silicium du canal $\epsilon_{\text{Si}} = 11.7$, le travail de sortie du métal de grille $\phi_M = 4.22 \text{ eV}$, (le travail de sortie du métal de grille est ajusté pour obtenir un courant I_{off} ($10 \mu\text{A}/\mu\text{m}$) compatible avec les spécifications ITRS pour un transistor à haute performance), la tension $V_{\text{DS}} = 0.4 \text{ V}$. Toutes les simulations sont faites à une température $T = 300 \text{ K}$. Les deux directions x et z sont décrites par un maillage de pas égal, $a = 0.3 \text{ nm}$ et $b = 0.15 \text{ nm}$ respectivement [87].

IV-3- Contexte et objectifs

Le transport quantique dans le nano-MOSFET double grille est balistique [80], lorsque la distance entre la source et le drain est inférieure au libre parcours moyen des porteurs entre deux collisions (20 nm dans le silicium intrinsèque). Dans ce cas il n'y a pas d'interactions entre les électrons, ce qui a été décrit dans de nombreuses approches de simulation numérique avec différents degrés d'approximation et par des modèles compacts [81]. Ces approches sont principalement basées sur deux hypothèses simplificatrices: (a) le transport est considéré unidimensionnel dans le film de silicium supposé très mince et (b) le transport des porteurs par effet tunnel n'est pas pris en compte.

Le MOSFET double grille (DG MOSFET) permet beaucoup d'intégration dans les circuits intégrés comparé au MOS massif [82]. Nous avons étudié dans cette partie la simulation du transport balistique quantique dans le nano-MOSFET double grille, reposant sur la méthode des fonctions de Green hors-équilibre [72], en prenant en compte à la fois le courant thermique et le courant tunnel. Le programme écrit en langage Matlab couple la solution auto-cohérente des équations de Poisson et Schrödinger avec l'équation du transport balistique dans le canal, et ceci permet de traiter en mécanique quantique à la fois le confinement vertical et la transmission dans le canal.

IV-4- Simulation et discussion des résultats

A partir du modèle physique décrit dans le chapitre III, nous avons simulé à l'aide du formalisme des fonctions de Green hors équilibre les profils de transport quantique dans le canal pour déduire les effets quantiques dans notre structure nanométrique.

Deux groupes de profils ont été effectués, le premier montre l'impact du courant tunnel sur le nano-MOSFET, alors que le deuxième montre l'effet du confinement quantique.

IV-4-1- Impact du courant tunnel sur le nano-MOSFET

Dans cette section, on démontre le rôle important de l'effet tunnel sur les caractéristiques des transistors de taille nanométrique.

IV-4-1-1- Effet de la tension de grille sur l'énergie potentielle du canal

La figure IV.1 représente l'évolution de l'énergie potentielle de la structure double grille pour différentes tensions de grille V_G , avec V_G variant de 0 à 0.6 V (correspond à la disparition de la barrière potentielle du canal) par un pas de 0.05V. La longueur de grille est

$L_G = 10$ nm (où le transport électronique dans le nano-MOSFET est balistique), Nous observons la diminution de la barrière de potentiel avec l'augmentation de la tension de grille.

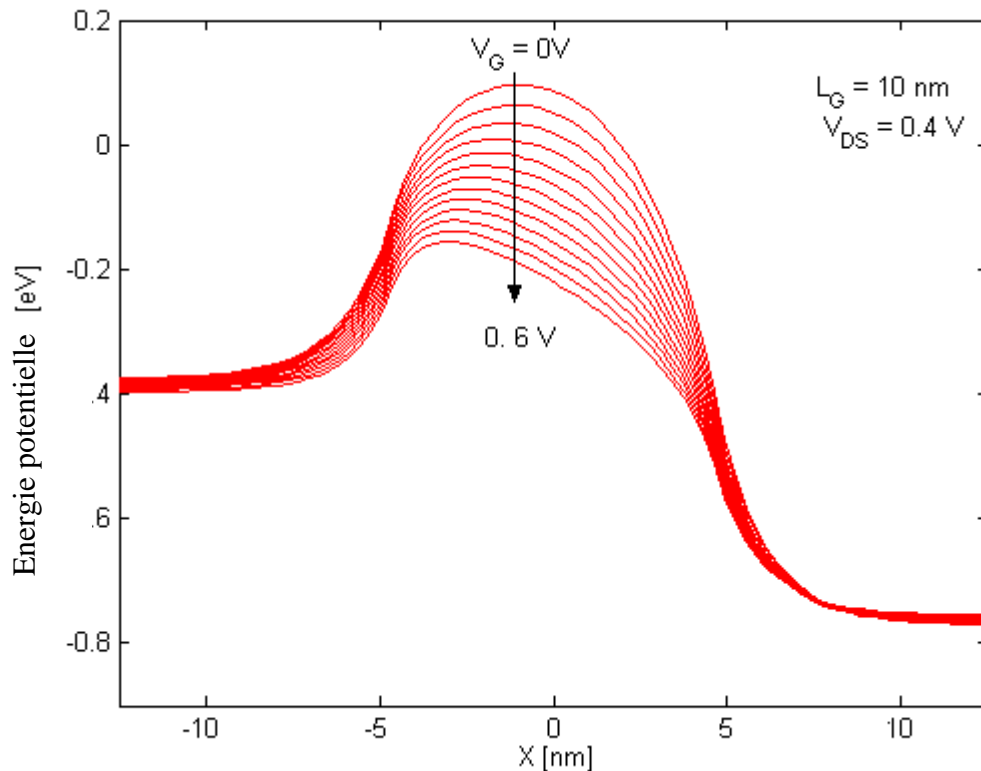


Fig. IV.1. Evolution de l'énergie potentielle de la structure double-grille pour différentes tensions de grille V_G

A faible V_G , la très haute valeur de l'énergie potentielle du canal interdit le passage des électrons depuis la source vers le drain, donc le transistor est "bloqué". Lorsque V_G augmente, la barrière de potentiel du canal diminue et les électrons traversent le canal, le transistor évolue de l'état bloqué vers l'état passant.

IV-4-1-2- Effet de la tension de grille sur la densité d'électrons dans le canal

La figure IV.2 représente l'évolution de la densité d'électrons le long de l'axe source-drain, pour différentes tensions de grille V_G , avec V_G variant de 0 à 0.6 V avec un pas de 0.05 V, la longueur de grille est $L_G = 10$ nm.

Nous observons l'augmentation de la densité d'électrons avec l'augmentation de la tension de grille donc le transistor évolue de l'état bloqué vers l'état passant, ce qui confirme le résultat précédent.

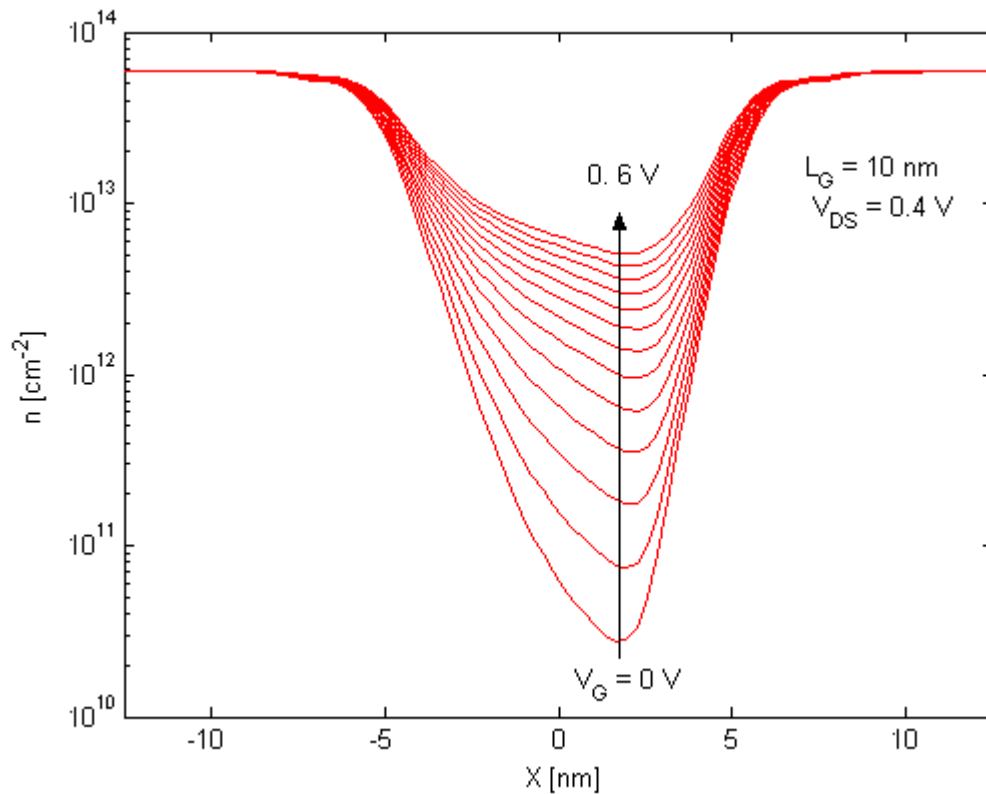


Fig. IV.2. Evolution de la densité électronique le long du canal pour différentes tensions de grille.

A faible V_G , la barrière de potentiel du canal s'oppose à la transmission d'électrons entre la source et le drain. Et quelques porteurs traversent la barrière de potentiel par effet tunnel. La variation exponentielle de la densité électronique le long du canal voir (la figure IV.2) témoigne d'un transport par effet tunnel à travers la barrière de potentiel. Lorsque la tension de grille augmente, le transistor devient progressivement passant et la concentration de charges dans le canal augmente.

IV-4-1-3- Effet de la température

La figure IV.3 représente les caractéristiques simulées du courant de drain I_D en fonction de la tension V_G de la structure double grille de longueur $L_G = 10\text{nm}$ soumise à une température ambiante (300 K) et une faible température (100 K). Les résultats de la simulation à l'aide du formalisme des fonctions de Green hors équilibre « NEGF » sont comparés aux approches semi-classiques dans le régime balistique (Equation de transport de Boltzmann « BTE ») [83].

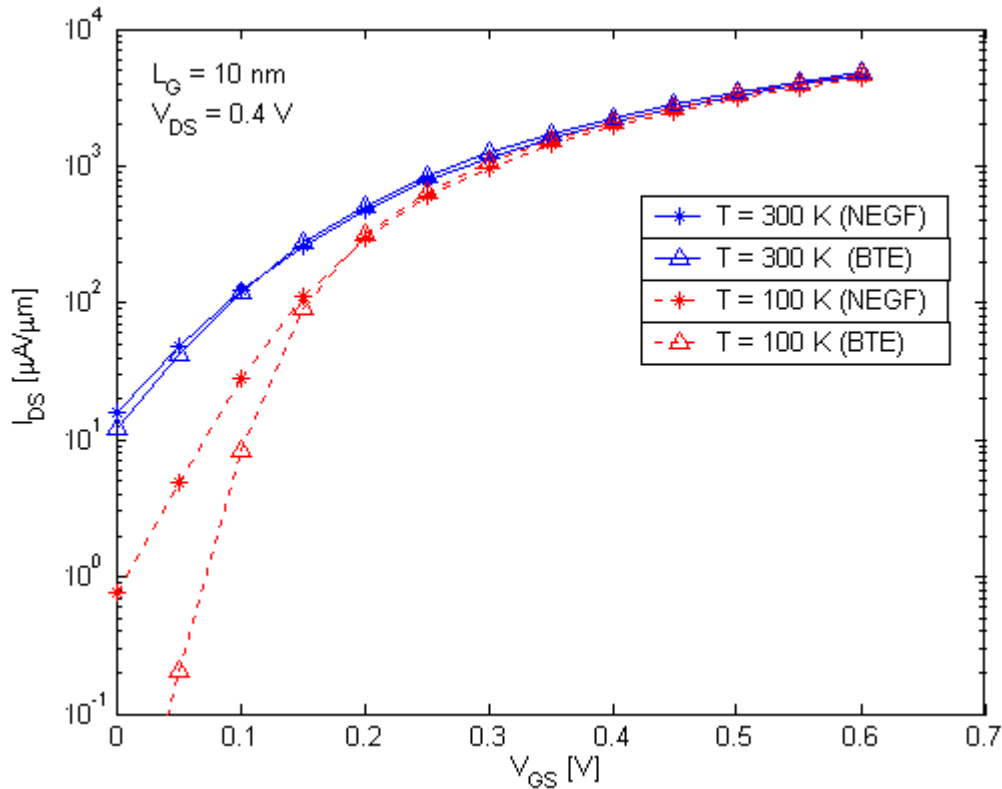


Fig. IV.3. Evolution du courant de drain en fonction de la tension de grille pour différentes températures. (BTE : Equation de transport de Boltzmann
NEGF : Fonction de Green hors équilibre)

On observe une superposition des courbes de simulation quantique (NEGF) avec celle du classique pour la température 300 K (trait plein). Ces deux courbes séparent distinctement la contribution du courant tunnel de celle du courant thermique. Nous définissons la composante tunnel par le courant résultant des électrons qui traversent la barrière de potentiel du canal et la composante thermique par le courant résultant des électrons d'énergie supérieure à la barrière de potentiel.

Donc, à température ambiante ($T=300$ K), le courant thermique est ajouté au courant tunnel, qui est montré par la très haute valeur du courant à l'état *off*, et la diminution de la température ($T=100$ K) conduit à une suppression du courant thermique par la barrière de potentiel du canal, et le courant tunnel devient alors la principale composante du courant total (trait pointillé).

Pour $T = 100$ K, on constate que la valeur du courant à l'état bloqué I_{off} pour la courbe "NEGF" est plus grande que la courbe "BTE", ce qui montre que le courant tunnel est mieux pris en compte avec le formalisme des fonctions de Green hors équilibre qu'avec l'équation de transport de Boltzmann. Ces résultats sont en bon accord avec ceux obtenus dans la littérature (figure IV.4) [68].

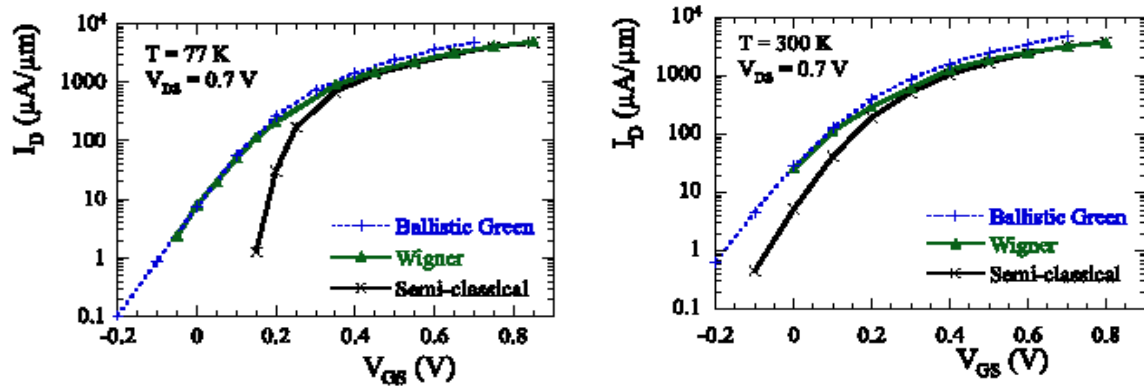


Fig. IV.4. Evolution du courant de drain en fonction de la tension de grille pour différentes températures [68]

IV-4-1-4- Effet de la longueur de grille

La figure IV.5 représente l'évolution du courant de drain en fonction de la tension de grille pour différentes longueurs de grille.

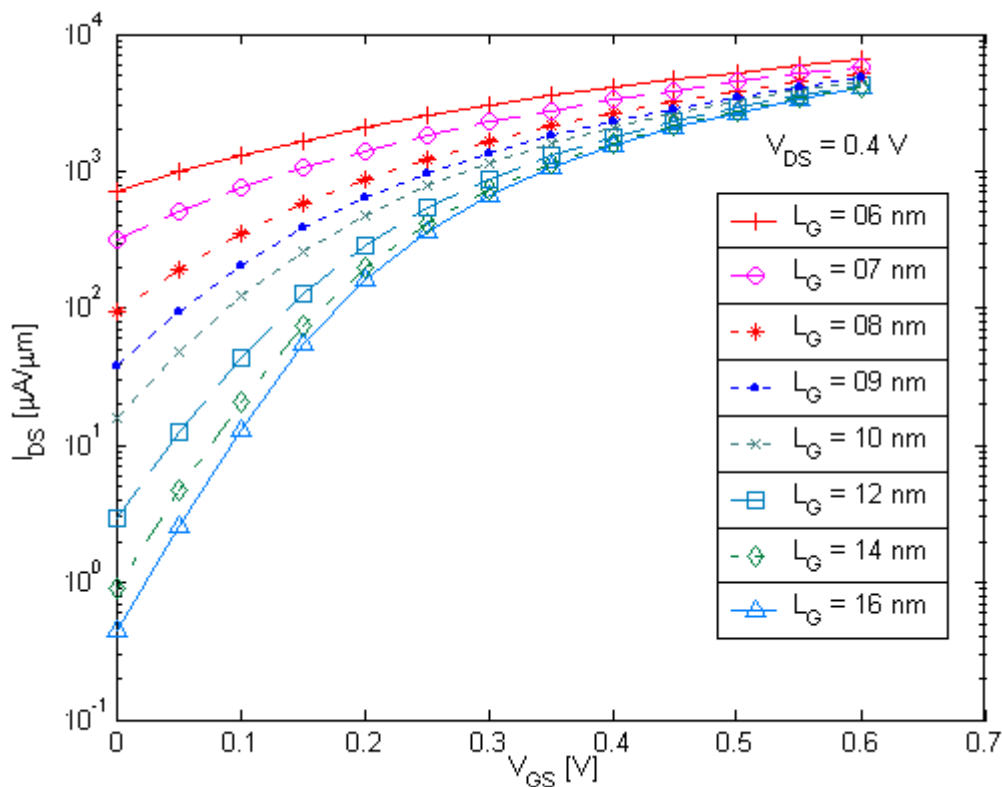


Fig. IV.5. Evolution du courant de drain en fonction de la tension de grille pour différentes longueurs de grille

Cette figure montre que l'impact de la composante tunnel reste minimal sur le courant de drain du transistor double-grille de longueur $L_G = 10\text{nm}$, à l'exception des faibles tensions de grille. Lorsque la tension de grille augmente, la disparition progressive de la barrière de potentiel dans le canal annule la composante tunnel et le courant de drain est entièrement gouverné par l'émission thermique. D'autre part, une diminution de la longueur de grille s'accompagne d'une diminution de la tension de seuil V_{th} .

Les caractéristiques I_D-V_G calculées pour des longueurs de grille différentes de 16 nm à 6 nm, montrent que l'effet tunnel entre la source et le drain s'amplifie avec la diminution de L_G sous les 10 nm. Le transistor devient "tunnel" mais sa tension de grille contrôle toujours le courant du canal.

IV-4-2- Influence du confinement quantique dans le canal

La figure IV.6 représente l'évolution de l'énergie potentielle du canal en fonction de la longueur de grille avec l'épaisseur de l'oxyde supérieur et inférieur $T_{ox} = 1\text{ nm}$ et l'épaisseur du canal $T_{si} = 3\text{ nm}$. La distribution de l'énergie potentielle suivant la direction x est montrée pour les trois premières sous-bandes.

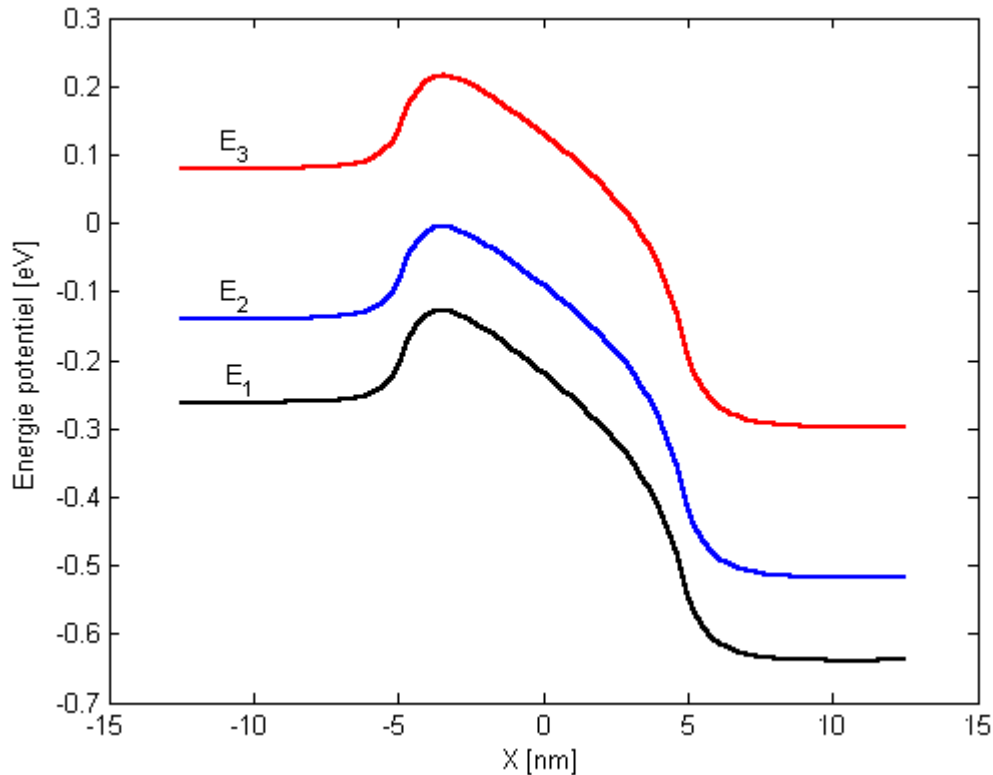


Fig. IV.6. Evolution de l'énergie potentielle du canal en fonction de la position dans le canal.

Cette figure illustre la séparation de l'équation de Schrödinger 2D en une équation 1D définissant le confinement suivant la direction z et une équation 1D décrivant le transport balistique le long du canal à l'aide du formalisme des fonctions de Green. Le confinement transverse induit une discrétisation des énergies qui se répartissent en sous-bandes. Ce qui valide l'utilisation de l'approche d'espace des modes, qui consiste à considérer les sous-bandes indépendantes, permet de ne retenir que celles peuplées d'électrons, c'est-à-dire celles qui se situent sous les niveaux de Fermi des réservoirs macroscopiques.

IV-5- Limite d'intégration du nano-MOSFET double grille

Les MOSFETs double grille se présentent comme de sérieux candidats pour continuer la diminution des composants jusqu'à l'échelle nanométrique [84, 85]. Une limitation importante à ce niveau d'intégration est la prédominance des effets quantiques, principalement le confinement du canal (qui induit une séparation des sous-bandes) et la conduction par effet tunnel à travers la barrière de potentiel du canal. Le courant tunnel a un impact sur les caractéristiques du nanoMOSFET double grille.

IV-5-1- Évolution du courant I_{OFF} en fonction de la longueur de grille

La figure IV.7 représente l'évolution du courant I_{OFF} en fonction de la longueur de grille, avec la tension de grille $V_{\text{GS}} = 0$ V et la tension de drain $V_{\text{DS}} = 0.4$ V

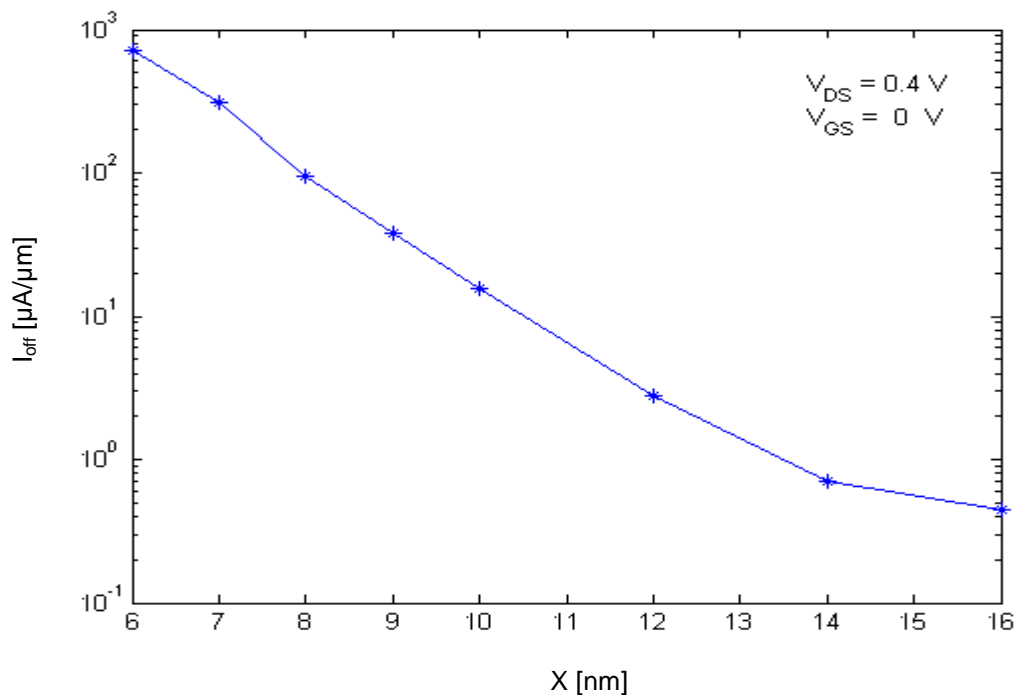


Fig. IV.7. Evolution du courant I_{OFF} en fonction de la longueur de grille

Les figures IV.5 et IV.7 montrent que le courant I_{OFF} sature pour L_G inférieure à 6 nm et montrent encore la grande importance de l'effet tunnel dans les structures de longueur de grille inférieures à 10 nm avec une contribution au courant à l'état bloqué I_{OFF} atteignant 90% pour $L_G = 6$ nm (à $V_{GS} = 0V$).

Nous observons alors que la fraction du courant tunnel augmente avec la diminution de la longueur du canal. En deçà de 6 nm, la fraction du courant tunnel sature à sa valeur maximale, indiquant que l'effet tunnel contrôle totalement le courant du transistor.

IV-5-2- Évolution de la pente sous le seuil (S) en fonction de la longueur de grille

La figure IV.8 représente l'évolution de la pente sous le seuil en fonction de la longueur de grille.

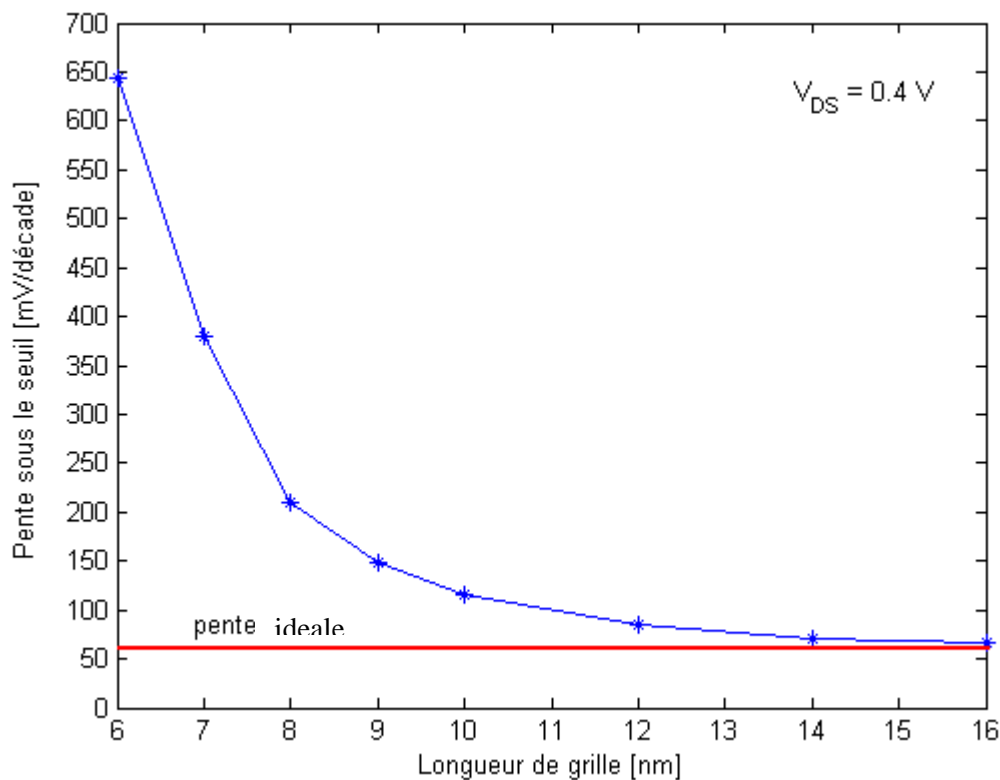


Fig. IV.8. Evolution de la pente sous le seuil en fonction de la longueur de grille

On observe que la pente sous le seuil "S" augmente lorsque la longueur de grille diminue, et un composant de 16 nm offre une pente sous le seuil quasi parfaite de 66 mV/décade,

En spécifiant un rapport minimum I_{ON}/I_{OFF} de 100 et une pente sous le seuil de 100 mV/décade, nous trouvons une limite d'intégration de 11 nm pour ce type de MOSFET double-grille.

IV-6- Optimisation des performances électriques

La figure IV.9 montre le courant de drain du nano-MOSFET double-grille avec une longueur de grille $L_G = 10\text{nm}$ et $L_G = 6\text{nm}$. L'impact de la composante tunnel reste minimal, pour la longueur de grille 10 nm à l'exception des faibles tensions de grille. Lorsque la tension de grille augmente, la disparition progressive de la barrière de potentiel dans le canal annule la composante tunnel et le courant de drain est entièrement gouverné par l'émission thermique. Nous constatons pour une longueur de grille $L_G = 6\text{nm}$, que la valeur du courant I_{OFF} ($V_G = 0\text{V}$) augmente, ce qui signifie que la barrière de potentiel du canal ne suffit plus à bloquer les électrons injectés depuis la source. Afin de réduire le courant I_{OFF} , il est nécessaire d'accroître la hauteur de barrière dans le canal en augmentant le travail de sortie du métal de grille Φ_M .

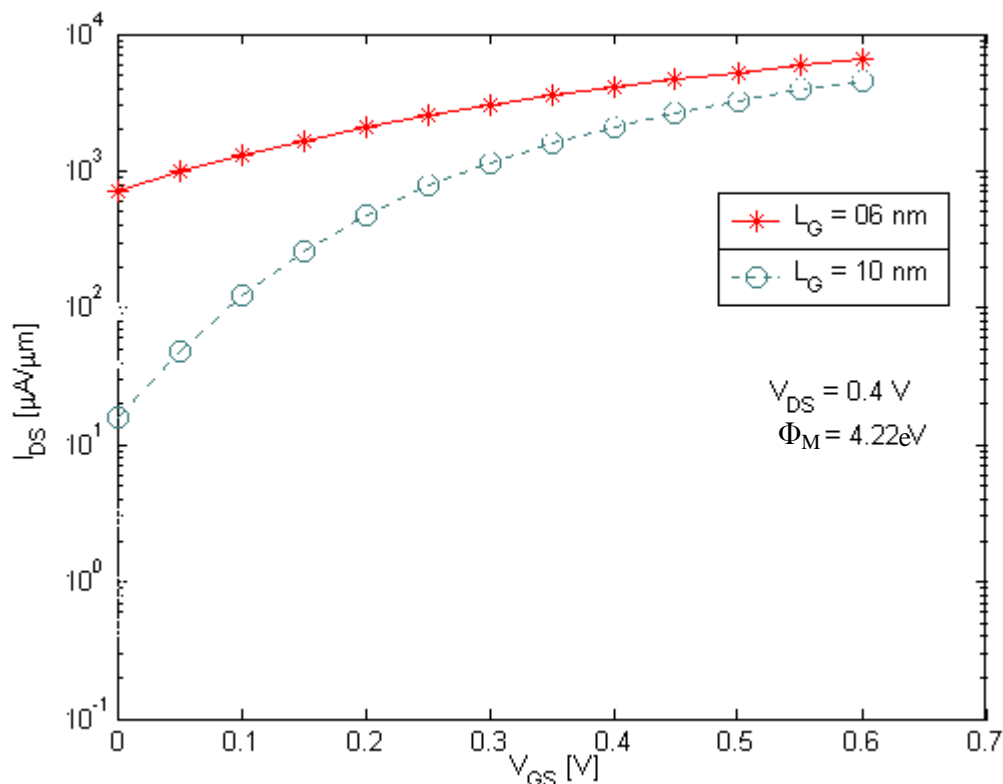


Fig. IV.9. Evolution du courant de drain en fonction de la tension de grille pour deux longueurs de grille 10nm et 6 nm , pour le même métal de grille.

IV-6-1- Effet du travail de sortie du métal de grille sur l'énergie potentielle du canal et le courant de drain

La figure IV.10 représente l'évolution de l'énergie potentielle de la structure double grille pour différents valeurs du travail de sortie du métal de grille, avec $V_G = 0$. La longueur de grille est $L_G = 6$ nm. Nous observons l'augmentation de la barrière de potentiel avec l'augmentation du travail de sortie du métal de grille.

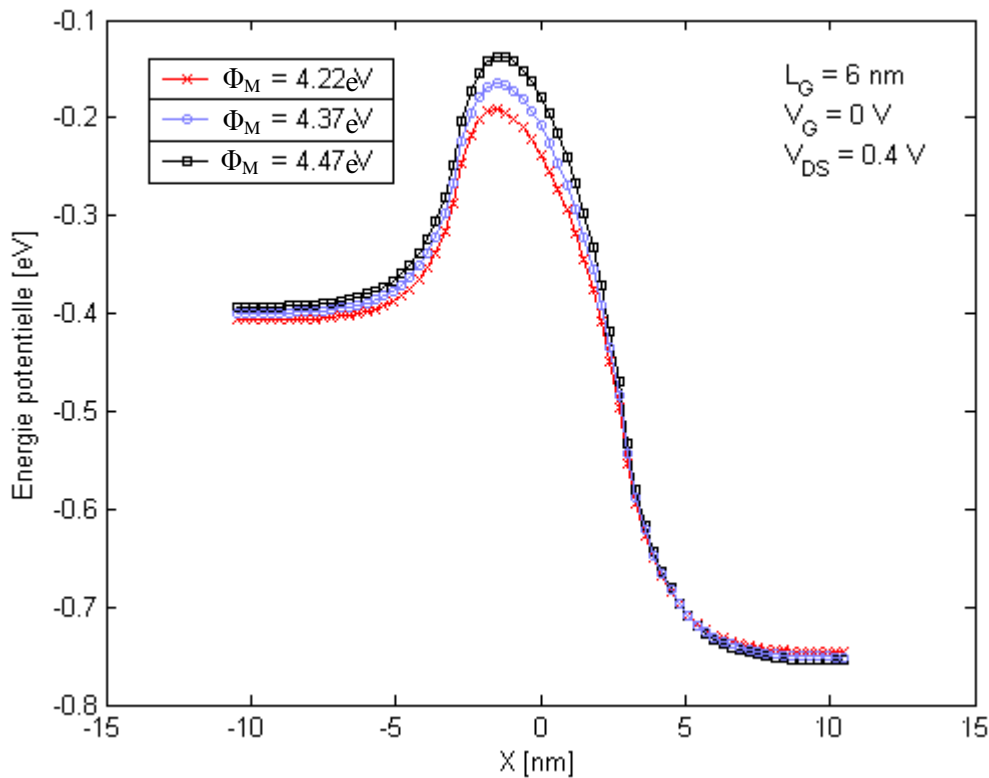


Fig. IV.10. L'évolution de l'énergie potentielle de la structure double-grille pour différentes valeurs du travail de sortie du métal de grille ($L_G = 6$ nm).

La figure IV.11 ci dessous, montre que l'augmentation du travail de sortie du métal de grille conduit à une diminution du courant de fuite I_{OFF} pour $V_{GS} = 0$ V et une augmentation de la tension de seuil V_{th} , qui s'interprète en observant la barrière de potentiel d'un dispositif de longueur $L_G = 6$ nm, en fonction du travail de sortie du métal de grille. L'augmentation de la barrière de potentiel avec le travail de sortie conduit à une diminution du courant d'électrons tunnel et donc du courant I_{OFF} . En contre-partie, la tension de grille nécessaire pour réduire la barrière de potentiel est plus importante: V_{TH} augmente. La valeur de V_{TH} étant associée à la vitesse de commutation (passage de l'état bloqué à l'état passant), le choix du travail de sortie du métal de grille doit résulter d'un délicat compromis entre performances électriques et vitesse de commutation.

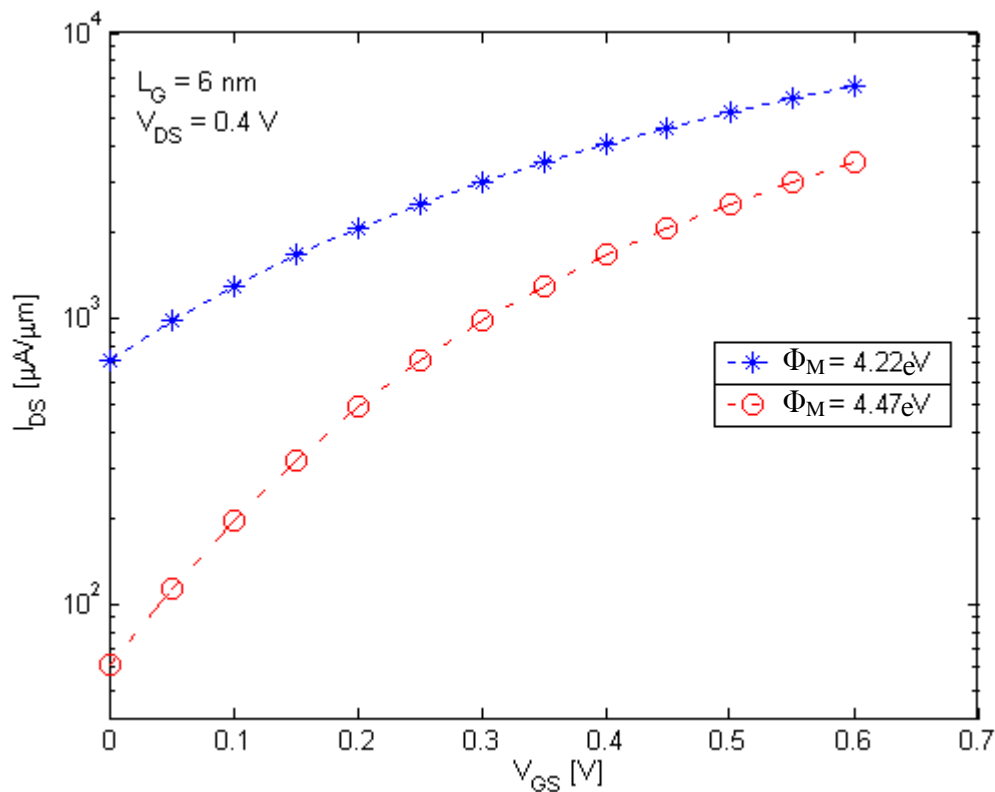


Fig. IV.11. Evolution du courant de drain en fonction de la tension de grille pour différents valeurs du travail de sortie du métal de grille.

IV-6-2- Evolution du courant I_{OFF} et de la tension de seuil V_{TH} en fonction du travail de sortie du métal de grille.

La figure IV.12 représente l'évolution du courant I_{OFF} et de la tension de seuil V_{TH} en fonction du travail de sortie du métal de grille, La longueur de grille $L_G = 6$ nm. Nous observons que la tension de seuil croît avec le travail de sortie du métal de grille alors que le courant I_{OFF} évolue en sens inverse.

L'optimisation des performances du nano-MOSFET double grille pour la longueur de grille considérée 6 nm, nous permet de trouver un travail de sortie du métal du grille $\Phi_M = 4.35$ eV qui semble assurer un faible courant de fuite (courant à l'état bloqué) I_{OFF} ($1,5 \cdot 10^2 \mu A/\mu m$), tout en conservant un V_{TH} raisonnable ($= 0.3V$). Donc un bon compromis entre performances et vitesse de commutation semble atteint pour $\Phi_M = 4.35$ eV.

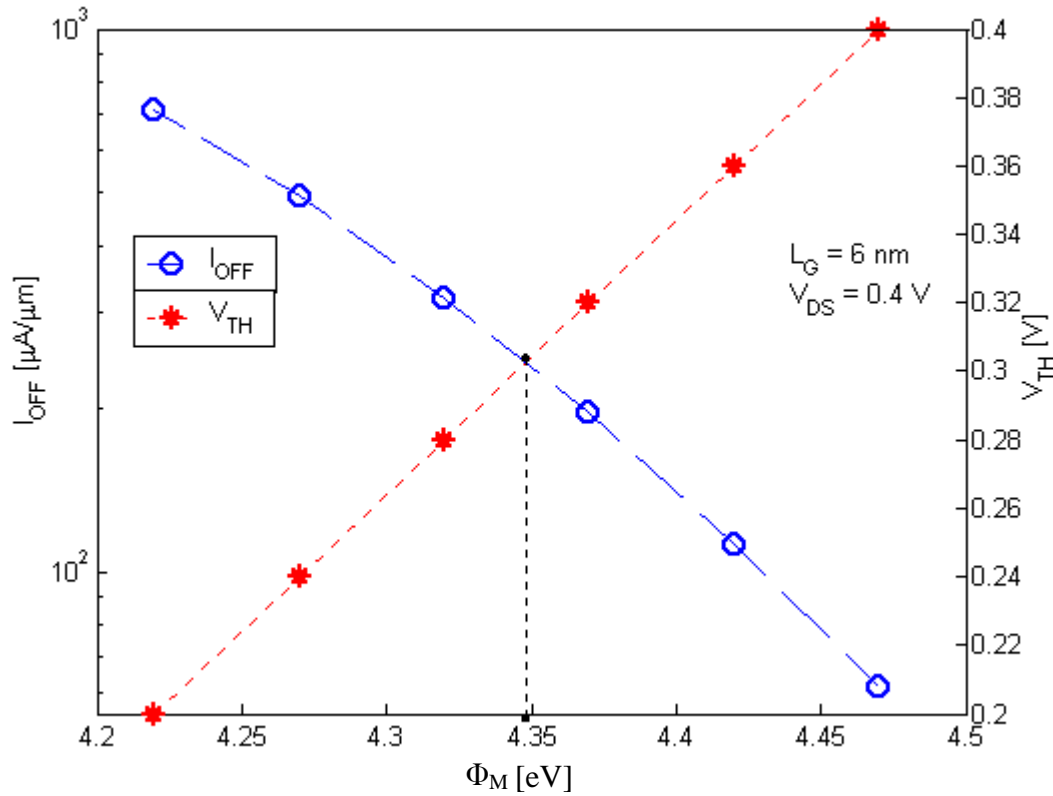


Fig. IV.12. Evolution du courant I_{OFF} et tension de seuil V_{TH} en fonction du travail de sortie du métal de grille Φ_M .

IV-7- Conclusion

Dans ce chapitre, nous avons présenté une simulation du transport quantique dans un nano-MOSFET double grille, en prenant en compte à la fois l'émission thermoionique et l'effet tunnel quantique. Cette simulation est basée sur la solution self-consistante des équations de Poisson et de Schrödinger avec l'équation du transport balistique dans le canal. Ceci permet de traiter en quantique à la fois le confinement vertical et la transmission dans le canal. Le travail présenté montre l'impact de ces effets sur les performances des dispositifs avancés. Nous avons détaillé le cas particulier du transport par effet tunnel.

Nous avons ensuite montré l'influence de l'effet tunnel source-drain sur les caractéristiques électriques en fonction de la longueur de grille. Les simulations ont indiqué que les performances restent acceptables (en termes de pente sous le seuil et de courant I_{off}) jusqu'à des longueurs de grille de 11 nm. Nous avons également étudié l'effet du travail de sortie du métal de grille sur l'énergie potentielle et sur le courant de drain. Ainsi, nous pouvons conclure que l'ajustement du travail de sortie du métal de grille $\Phi_M=4.35$ eV permet un bon compromis entre les performances électriques et la vitesse de commutation pour une longueur de grille de 6nm d'un nano-MOSFET

Conclusion générale et perspectives

Dans le cadre de ce mémoire, nous avons présenté une contribution à l'étude du transport quantique dans un MOSFET nanométrique par le formalisme des fonctions de Green hors équilibre, ce qui permet de prendre en compte les effets quantiques, le transport non stationnaire et balistique dans le but d'évaluer de nouvelles architectures prometteuses.

En premier lieu, nous avons étudié l'impact de la miniaturisation sur les caractéristiques électriques des dispositifs MOSFETs, et réalisé une synthèse des principaux effets engendrés par la miniaturisation des transistors MOS. Cette réduction des dimensions engendre des phénomènes parasites (DIBL, modification de la tension de seuil,...) qui détériorent les caractéristiques courant-tension. Toutefois, les technologues ont imaginé des procédés de fabrication particuliers en vue de conserver les caractéristiques électriques (technologie SOI, DG MOSFET).

En second lieu, nous avons montré les limites des modèles semi-classiques pour simuler le transport électronique dans les nano-structures. Nous avons clairement illustré l'intérêt du formalisme des fonctions de Green hors-équilibre pour traiter des systèmes ouverts tels que les MOSFETs. Ce formalisme constitue une méthode très efficace capable d'étudier un large éventail de systèmes.

En troisième lieu, nous avons appliqué le formalisme des fonctions de Green hors-équilibre au nanoMOSFET double-grille. Nous avons utilisé l'approximation de l'espace des modes qui consiste à séparer l'équation de Schrödinger 2D en une équation 1D traitant le confinement transverse et une équation 1D décrivant le transport quantique suivant l'axe source-drain. Ce modèle montre qu'un confinement vertical ultime permet de conserver les propriétés électriques des MOSFETs conventionnels. Cette approche nous a permis de combiner l'influence du confinement transverse à celle de l'effet tunnel source-drain.

En quatrième lieu, nous avons étudié en détail l'influence de l'effet tunnel source-drain sur les caractéristiques électriques en fonction de la longueur de grille. Les simulations

ont indiqué que les performances restent acceptables (en termes de pente sous le seuil et de courant I_{off}) jusqu'à des longueurs de grille de 11 nm. Et l'ajustement du travail de sortie du métal de grille permet un bon compromis entre performances et vitesse de commutation du dispositif.

Nous pouvons récapituler l'ensemble des résultats les plus significatifs qui découlent de ce travail, dans ce qui suit :

- Le confinement transverse induit une discrétisation des énergies qui se répartissent en sous-bandes, ce qui valide l'utilisation de l'approche d'espace des modes
- Nous avons constaté une contribution tunnel de l'effet I_{OFF} atteignant 90% pour $L_G = 6$ nm (à $V_{\text{GS}} = 0\text{V}$) ce qui confirme bien l'importance de l'effet tunnel dans les structures de longueur de grille inférieures à 10 nm, et nous avons trouvé une limite d'intégration de 11 nm pour ce type de MOSFET double-grille ultime.
- un bon compromis entre performances et vitesse de commutation semble atteint par l'ajustement du travail de sortie du métal de grille $\Phi_M = 4.35$ eV qui semble assurer un faible courant de fuite I_{OFF} ($1,5 \cdot 10^2 \mu\text{A}/\mu\text{m}$) pour $L_G = 6$ nm,

Enfin, nous espérons que ce travail aura contribué à améliorer les connaissances sur le transport quantique dans les nano-MOSFETs double grille à l'aide du formalisme des fonctions de Green hors équilibre, en vue de mieux cerner et contrôler les effets quantiques dans le futur.

En vue d'obtenir de meilleures performances avec ces nano-dispositifs, nous suggérons de continuer cette étude par :

- refaire la même étude en prenant du GaAs au lieu du Si pour réduire le courant thermique.
- Etude des architectures multi-grilles avec prise en compte des effets d'interaction avec les défauts (phonons, impuretés,...) qui pourraient permettre de poursuivre la miniaturisation tout en améliorant les performances.

Références bibliographiques

- [1] **G.E. Moore.** “*Trends in silicon device technology*” IEDM Tech. Digest, p.12 (1968).
- [2] **G.E. Moore.** “*Progress in digital integrated electronics*” IEDM Tech. Digest, p.11 (1975).
- [3] **D. J. Frank, R. H. Dennard, E. Nowak.** “*Device scaling limits of Si MOSFETs and their application dependencies*”. *Proc. IEEE*, vol. 89, no. 3, pp. 259–288, (2001).
- [4] **H.-S. Wong, D. Frank and P. Solomon.** “*Device Design Considerations for Double-Gate, Ground-Plane, and Single-Gated Ultra-Thin SOI MOSFET’s at the 25 nm Channel Length Generation*”. IEDM Tech.Digest, pp. 407-410, (1998).
- [5] **F. Prégaldiny** “*étude et modélisation du comportement électrique des transistors MOS fortement submicroniques*” Thèse de Doctorat de Université Louis Pasteur Strasbourg France (2003).
- [6] **P.K.Bondyopadhyay.** “*Moore’s Law Governs the Silicon Revolution*”. *Proc.IEEE*, vol. 86, no. 1, pp. 78-81, (1998).
- [7] “<http://public.itrs.net>” (2003).
- [8] **V.K. Khanna** “*Physics of carrier-transport mechanisms and ultra-small scale phenomena for theoretical modelling of nanometer MOS transistors from diffusive to ballistic regimes of operation*” *Physics Reports* vol.398 pp.67–131 (2004).
- [9] **S. M. Sze** “*Physics of semiconductor devices*”. Second edition, John Wiley & Sons, (1981).

- [10] **T.A. Langdo et al.** “*Preparation of novel SiGe-free strained Si on insulator substrates*” Int. SOI Conf. Proc, p.211 (2002).
- [11] **A.Strass** “*Nano-MOSFETs for future ULSI applications*”, Solid State Technology, pp.65- 74, (1996).
- [12] **A.N. Broers** “*Fabrication limits of electron beam lithography and UV, X-ray and ion beam lithographies*”. Phil. Trans. R.Soc.Lond. A, 291-311, (1995).
- [13] **E.S. Snow, P.M. Campbell, R. W. Rendell, F.A. .Buot, D. Park, C.R.K. Marrian and R. Magno**, “*A metal/oxide tunneling transistor*” Appl. Phys. Lett. 72, 3071 (1998).
- [14] **Tetyana Nychporuk** « *Nouvelles Morphologies du Silicium Nanostructuré Issues de l'Anodisation Electrochimiques: Elaboration, Propriétés Physico-Chimiques et Applications* » Thèse de doctorat, L'institut national des sciences appliquées de Lyon, (2006).
- [15] **Guillaume Baffou** « *Luminescence induite par microscopie à effet tunnel et étude des propriétés électroniques, chimiques et optiques de la surface de carbure de silicium 6H-SiC* » Thèse de doctorat, Université Paris XI, (2007).
- [16] **Matthieu Martin** « *Caractérisation par Microscopie en Champ Proche Optique de Composants de l'Optique Intégrée* » Thèse de doctorat, L'institut national des sciences appliquées de Lyon, (2003).
- [17] **B. Guillaumot, X. Garros, F. Lime et al.**, “*75 nm damascene metal gate and high-k integration for advanced CMOS devices*”, IEDM Tech. Deg., p. 355, (2002).
- [18] **L. A. Ragnarsson, S. Severi, L. Trojman et al.**, “*High performing 8 Angstrom EOT HfO₂/TaN low thermal-budget n-channel FETs with solid-phase epitaxially regrown (SPER) junctions*”, VLSI Tech. Digest., p. 234, (2005)
- [19] **Jeong-Hee Ha** “*Atomic scale experimental and theoretical studies of High-K gate dielectric interfaces*” PhD theses, Stanford University, (2008).

- [20] **B.H. Lee, L. Kang, W. J. Qi, et al**, “*Ultrathin hafnium oxide with low leakage and excellent reliability for alternative gate dielectric application,*” IEDM Tech. Digest., pp. 556, (1999).
- [21] **R. Chau, J. Kavalieros, B. Roberds, R. Schenker, D. Lionberger, D. Barlage, B. Doyle, R. Arghavani, A. Murthy, G. Dewey**, “*30 nm physical gate length CMOS transistors with 1.0 ps n-MOS and 1.7 ps p-MOS gate delays*”, IEDM Tech. Digest, 45-48 (2000).
- [22] **Mathilde Fontez** “*Processeur: les 45 nanomètres sont atteints*” Science & vie, p. 94-97 (2008)
- [23] **S-I. Nakamura, T. Ohguro, T. Yoshitomi, et al**, “*Study of the manufacturing feasibility of 1.5nm direct-tunneling gate oxide MOSFET’s: Uniformity, reliability, and dopant penetration of the gate oxide*” IEEE Transactions on Electron Devices, vol. 45, no. 3, pp. 691–700, (1998).
- [24] **J. Kedzierski, D. Boyd, Y. Zhang, M. Steen et al**, “*Issues in NiSi-gates FDSOI device integration*”, IEDM Tech. Digest., p. 441, (2003).
- [25] **B. Doris, M. Jeong, H. Zhu et al.**, “*Device design considerations for ultra-thin SOI MOSFETs*”, IEDM Tech. Digest., p. 631, (2003).
- [26] **Delphine Aime** «*Modulation du travail de sortie de grilles métalliques totalement siliciurees pour des dispositifs CMOS deca-nanométriques* » Thèse de doctorat, Institut National des Sciences Appliquées de Lyon, (2007).
- [27] **A. Asenov**, “*Random dopant induced threshold voltage lowering and fluctuations in sub-0.1 μ m MOSFET’s: A 3-D (atomistic) simulation study,*” IEEE Transactions on Electron Devices, vol. 45, no. 12, pp. 2505–2513, (1998).
- [28] **S. Barraud, P. Dollfus, S. Galdin, and P. Hesto**, “*Short-range and long-range Coulomb interactions for 3D Monte Carlo device simulation with discrete impurity distribution,*” Solid-State Electron”. 46, 1061 (2002).

- [29] **D.K. Ferry, L.A. Akers, and E.W. Greeneich**, "*Ultra large scale integrated microelectronics*," Prentice-Hall, Englewood Cliffs, NJ, (1988).
- [30] **W.K. Henson, N. Yang, S. Kubicek, E.M. Vogel, J.J. Wortman, K.D. Meyer, and A. Naem**, "Analysis of leakage currents and impact on *o*-state power consumption for CMOS technology in the 100 nm regime" , IEEE Transactions on Electron Devices. 47, 1393 (2000).
- [31] **Jérôme Saint-martin** "*Etude par simulation Monte-Carlo d'architectures de MOSFET ultracourts à grilles multiples sur SOI*" , Thèse de doctorat, Université Paris XI Orsay, (2005).
- [32] **M. Vinet, T. Poiroux, J. Widiez, J. Loliver et al.**, "*Bonded planar double-metal-gate nMOS transistors down to 10 nm*", IEEE Electron Device Letters, vol. 26, n° 5, p.317-319, (2005).
- [33] **C. Jahan, O. Faynot, M. Cassé, R. Ritzenthaler et al.**, "*Omega-FET transistors with TiN metal gate and HfO₂ down to 10 nm*", VLSI Tech. Digest., p. 112, (2005).
- [34] **K. Ferry**, "*Semiconductor transport*", New-York : Taylor and Francis, (2000).
- [35] **T. Grasser, T. W. Tang, H. Kosina, S. Selberherr**, "*A review of hydrodynamic and energy-transport models for semiconductor device simulation*", Proceedings of IEEE, vol. 91, p. 251-273, (2003).
- [36] **J. Saint Martin, A. Bournel, P. Dollfus**, "*On the ballistic transport in nanometer scaled DG MOSFETs*", IEEE Transactions on Electron Devices, vol. 51, n° 7, p.1148-1155, (2004).
- [37] **P. Palestri, D. Esseni, S. Eminent, C. Fiegna, E. Sangiorgi, L. Selmi**, "*Understanding quasi-ballistic transport in nano-MOSFETs : Part I-Scattering in the channel and in the drain*", IEEE Transactions on Electron Devices, vol. 52, n° 12, p. 2727-2735, (2005).

- [38] **S. Eminente, D. Esseni, P. Palestri, C. Fiegna, L. Selmi, E. Sangiorgi**, “*Understanding quasi-ballistic transport in nano-MOSFETs : Part II-Technology scaling along ITRS*”, IEEE Transactions on Electron Devices, vol. 52, n° 12, p. 2736- 2743, (2005).
- [39] **E. Fuchs**, “*Etude théorique et expérimentale du transport électronique dans les dispositifs nanométriques sur silicium*”, Thèse de doctorat, Université Paris XI Orsay, (2006).
- [40] **K. Rim, L. Shi, K. Chan et al.**, “*Strained Si for sub-100 nm MOSFETs*”, in Proc. ICSI3 Int. SiGe(C) Epitaxy and Heterostructures Conf., p. 122, (2003).
- [41] **T. Mizuno, N. Sugiyama, T. Tezuka, T. Nuama, S. Takagi**, “*High performance strained-SOI CMOS devices using thin film SiGe-on-insulator technology*”, IEEE Transactions on Electron Devices, vol. 50, n° 4, p. 988, (2003).
- [42] **F. Andrieu**, “*Transistors CMOS décananométriques à canaux contraints sur silicium massif ou sur SOI – fabrication, caractérisation et étude du transport*”, Thèse de doctorat, INPG, (2005).
- [43] **H. Shang, H. Okorn-Schmidt, J. Ott, P. Kozlowski et al.**, “*Electrical characterization of germanium p-channel MOSFETs*”, IEEE Electron Device Letters, vol. 24, n° 4, p. 242, (2003).
- [44] **L. Clavelier, C. Le Royer, C. Tabone, J.-M. Hartmann et al.**, “*Fully depleted germanium p-MOSFETs with high-k and metal gate fabricated on 200 nm GeOI substrates*”, Silicon Nano Workshop VLSI Tech. Digest., p. 18, (2005).
- [45] **M. Yang, M. Jeong, L. Shi, K. Chan et al.**, “*High performance CMOS fabricated on hybrid substrate with different crystal orientations*”, IEDM Tech. Digest., p. 453, (2003).
- [46] **O. Weber, P. Scheiblin, R. Ritzenthaler, T. Ernst et al.**, “*A novel locally engineered (111) V-channel pMOSFET architecture with improved drivability characteristics for low-standby power (LSTP) CMOS applications*”, VLSI Tech. Digest., p. 156, (2005).

- [47] **S. Wind, D. Frank, and H. Wong**, “*Scaling silicon MOS device to their limits*”, Microelectronics Engg. 32, pp.271,(1996).
- [48] **R.H. Yan, A. Ourmazd, and K.F. Lee**, “*Scaling the Si MOSFET : From bulk to SOI to bulk*”, IEEE Trans. Electron Dev. 39,pp. 1704 ,(1992).
- [49] **K. Suzuki, T. Tanaka, Y. Tosaka, H. Horie, and Y. Arimoto**, “*Scaling theory for double gate SOI MOSFETs*”, ,” IEEE Transactions on Electron Devices. 40,pp. 2326,(1993).
- [50] **Qiang Chen, Bhavna Agrawal, and James D. Meindl**, “*A Comprehensive Analytical Subthreshold Swing (S) Model for Double-Gate MOSFETs*,” IEEE Transaction Electron Devices, vol. 49, no. 6, (2002).
- [51] **Z. Ren, R. Venugopal, S. Datta, M. Lundstrom, D. Jovanovic, and J. Fossum**, “*The ballistic nanotransistor*”: A simulation study, IEDM Tech. Digest., pp. 715–718, (2000).
- [52] **J. Marrie-Anne** “*Approche du potentiel effectif pour la simulation Monte-Carlo du transport électronique avec effets de quantification dans les dispositifs MOSFETs*” Thèse de doctorat, université Paris sud XI, (2006).
- [53] **M. Lundstrom**, “*Moore’s law forever ?* , ” Science Magazine, 299. pp. 210-211, (2003).
- [54] **J.R. Tucker, and T.C. Shen**, “*Can single-electron integrated circuits and quantum computers be fabricated in silicon ?*,” Int. J. Circ. Theor. Appl. 28, 553 (2000).
- [55] **J.D. Meindl, Q. Chen, J.A. Davis**, “*Limits on silicon nanoelectronics for terascale integration*, ” Science 293, 2044 (2001).
- [56] **T. Tanaka, K. Suzuki, H. Horie, and T. Sugii**, “*Ultrafast operation of V_{TH} -adjusted $p^+ - n^+$ double-gate SOI MOSFET*”, IEEE Electron Dev. Lett. 15,pp. 386, (1994).

[57] **Olivier Weber** «*Etude, Fabrication et Propriétés de transport de Transistors CMOS associant un Diélectrique Haute Permittivité et un Canal de Conduction Haute Mobilité*», thèse de doctorat, Institut national des sciences appliquées de Lyon, (2005).

[58] **M. P. Anantram, M. S. Lundstrom, and D. E. Nikonov**, “*Modeling of Nanoscale Devices*”, Proceedings of the IEEE, v. 96, no. 9, pp. 1511 - 1550 (2008).

[59] **K.Huang** “*Statistical Mechanics*”, J.Wiley & sons, New York, (1987).

[60] **Marc Bescond** “*Modélisation et simulation du transport quantique dans les transistors MOS nanométriques*”. Thèse de doctorat, Université de Provence, (2004).

[61] **Supriyo Datta** ”*Physics of electronic transport in single atoms, molecules, and related nanostructures*”, Eds. R.H. Friend and M.A. Reed, IOP Publishing Nanotechnology 15 S433-S451, (2004).

[62] **Supriyo Datta** “*Quantum Transport: Atom to Transistor*” Cambridge (2005).

[63] **Prashant Subhash Damle** “*Nanoscale device modeling from MOSFTs to molecules*” Ph.D thesis, Purdue University, West Lafayette, IN, (2003).

[64] **R. Venugopal, M. Paulsson, S. Goasguen, S. Datta, and M. Lundstrom**. “*A simple quantum mechanical treatment of scattering in nanoscale transistors*”. J. Appl. Phys. Vol. 93, p. 5613 (2003).

[65] **R. Venugopal, S. Goasguen, S. Datta, and M.S. Lundstrom**. “*Quantum mechanical analysis of channel access geometry and series resistance in nanoscale transistors*”. J. Appl. Phys. Vol. 95,p.292, (2004).

[66] **R. Venugopal, M. Paulsson, S. Goasguen, S. Datta, M.S. Lundstrom**. “*A simple Quantum Mechanical treatment of dissipative transport in nanoscale transistor*”, J. Appl. Phys. Vol. 93, pp. 5613-5625, (2003).

- [67] **Hideyuki Iwata a, Toshihiro Matsuda a, Takashi Ohzone** “Computationally efficient method for scattering device simulation in nanoscale MOSFETs” *Solid-State Electronics* 51 708–713, (2007)
- [68] **Van-nam Do** “*Modeling and simulating quantum electronic transport in semiconductor nanometer devices*” PhD thesis Paris-sud University , Décembre, (2007)
- [69] **Daniel Chanemougame** «*Conception et fabrication de nouvelles architectures CMOS et étude du transport dans les canaux de conduction ultra minces obtenus avec la technologie SON*» Thèse de doctorat, Institut National des Sciences Appliquées de Lyon, (2005)
- [70] **A. Tarek, F. Wael Fikry, A. Omar and M.H Mahmoud Fathy** “*FETMOSS: a software tool for 2D simulation of double-gate MOSFET* » *International journal of numerical modelling: electronic networks, devices and fields*, V19, P 301–314, (2006)
- [71] **N. Ben Abdallah, M. Mouis, C. Negulescu** “*An accelerated algorithm for 2D simulations of the quantum ballistic transport in nanoscale MOSFETs*” *Journal of Computational Physics* 225, pp. 74–99 (2007)
- [72] **R. Venugopal, Z. Ren, S. Datta, M. S. Lundstrom, and D. Jovanovic.** “*Simulating quantum transport in nanoscale MOSFETs: Real versus mode space approaches*” *J. Appl. Phys.*, vol. 92, p. 3730, (2002).
- [73] **F. Djeffal, Z. Dibi, M.L. Hafiane, D. Arar** “*Design and simulation of a nanoelectronic DG MOSFET current source using artificial neural networks*” *Materials Science and Engineering C* 27, 1111–1116 (2007)
- [74] **M. Ogawa, H. Tsuchiya, and T. Miyoshi.** “*Quantum electron transport modeling in nano-scale devices*” *IEICE Trans. Electron*, vol. E86-C, pp. 364–371, (2003).
- [75] **K. Nehari, N. Cavassilas, J.L. Autran,1, M. Bescond , D. Munteanu, M. Lannoo** “*Influence of band structure on electron ballistic transport in silicon nanowire MOSFET’s: An atomistic study*” *Solid-State Electronics* V.50 , p.716–721, (2006)

- [76] **Z. Ren.** “*Nanoscale MOSFETS: physics, simulation and design*”, PhD thesis, Purdue University, West Lafayette, IN, (2001).
- [77] **Hideyuki Iwata, Toshihiro Matsuda, and Takashi Ohzone** “*Influence of Image and Exchange-Correlation Effects on Electron Transport in Nanoscale DG MOSFETs*” IEEE TRANSACTIONS ON ELECTRON DEVICES, VOL. 52, N^o. 7, (2005).
- [78] **J.S. Blakemore.** “*Approximations for Fermi-Dirac Integrals, Especially the Functions $F_{1/2}(\eta)$ to Describe Electron Density in a Semiconductor*”. Solid-State Electron., vol. 25, p. 1067, (1982).
- [79] **F. Djeflal , M.A. Abdi, Z. Dibi, M. Chahdi, A. Benhaya** “*A neural approach to study the scaling capability of the undoped Double-Gate and cylindrical Gate All Around MOSFETs*” Materials Science and Engineering, B 147 p. 239–244, (2008)
- [80] **Natori K.** “*Ballistic metal-oxide-semiconductor field effect transistor*”. J Appl Phys;76(8):4879–90. (1994).
- [81] **Lundstrom M.** “*Elementary scattering theory of the MOSFET*”. IEEE Electron Device Letters; 18:361–363. (1997).
- [82] **Roy K, Mahmoodi H, Mukhopadhyay S, Ananthan H, Bansal A, Cakici T.** “*Double-gate SOI devices for low-power and high-performance applications*”. Proceedings of the 19th International Conference on VLSI Design (VLSID’06), Hyderabad,; 445–452. India, 3–7 January (2006).
- [83] **J.-H. Rhew, Z. Ren, and M. Lundstrom.** “*Numerical study of a ballistic MOSFET*” Solid-State Electron., vol. 46, pp. 1899–1906, (2002).
- [84] **M.S. Lundstrom and Z. Ren.** “*Essential Physics of Carrier Transport in Nanoscale MOSFETs*” IEEE Trans.Electron Devices, vol. 49, no. 1, january (2002).

[85] **Yiming Li, Hong-Mu Chou.** “A Comparative Study of Electrical Characteristic on Sub-10-nm Double-Gate MOSFETs”. IEEE Transaction on nanotechnology, vol. 4, no. 5, September (2005).

[86] **Florent rochette** «étude et caractérisation de l’influence des contraintes mécaniques sur les propriétés de transport électronique dans les architectures MOS avancées ». Thèse de Doctorat de l’Institut national polytechnique de Grenoble, France , (2008)

[87] **Z. Ren, R. Venugopal, S. Goasguen, S. Datta and M. S. Lundstrom,** "*nanoMOS 2.5, A two-dimensional simulator for quantum transport in double-gate MOSFETs*". IEEE Trans. Electron. Dev., special issue on Nanoelectronics, 50, 1914-1925, (2003).